



## Mfg. semiconductor device having capped element

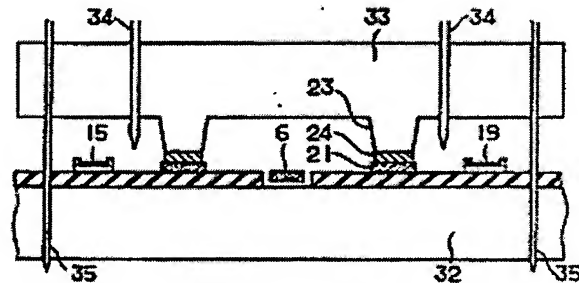
**Patent number:** DE19619921  
**Publication date:** 1996-12-05  
**Inventor:** KANAMORI KATUHIKO (JP); KURAHASHI TAKASHI (JP); OHARA FUMIO (JP); YOSHIHARA SHINJI (JP)  
**Applicant:** NIPPON DENSO CO (JP)  
**Classification:**  
- **international:** H01L21/336; H01L21/38  
- **europaen:** G01P15/08A, G01P15/12E, H01L23/053, H01L23/10, B81C1/00P, G01P1/02B  
**Application number:** DE19961019921 19960517  
**Priority number(s):** JP19950120138 19950518

Also published as:

 US 5668033 (A1)  
 J P8316497 (A)

### Abstract of DE19619921

A method of fabricating a semiconductor device, having a wafer with a capped functional element (6) on one of its surfaces, involves (a) forming functional elements on the wafer (32) to produce the functional element (6) and forming contact pads (19), for carrying out wire connection between each functional element and the exterior, between the functional element and a predetermined position at which the wafer is to be diced; (b) forming a lead frame (21) which surrounds each functional element in a wafer surface region on the side nearer to the element than to the contact pad (19); (c) contacting the wafer with a capping wafer (33), having a foot region (23) at a position corresponding to the lead frame (21), and producing a solid bond between the foot region and the lead frame; and (d) dicing the wafer (32) at the predetermined position (35) and opt. dicing the capping wafer (33) at a position (34) on the side nearer to the lead frame (21) than to the contact pad (19). Also claimed are similar semiconductor fabrication methods.



Data supplied from the **esp@cenet** database - Worldwide

## Best Available Copy



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 196 19 921 A 1**

⑤1 Int. Cl.<sup>8</sup>:  
**H 01 L 21/336**  
H 01 L 21/38

②1 Aktenzeichen: 196 19 921.2  
②2 Anmeldetag: 17. 5. 96  
④3 Offenlegungstag: 5. 12. 96

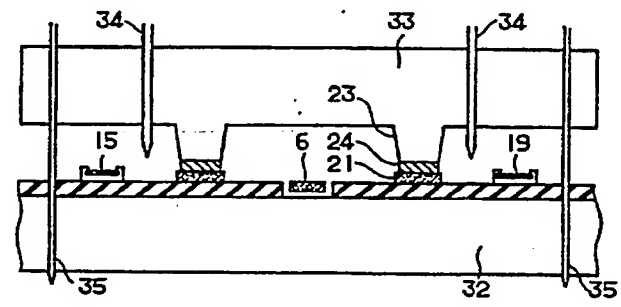
DE 196 19 921 A 1

⑤4 Unionspriorität: ③2 ③3 ③1  
18.05.95 JP 7-120138  
⑦1 Anmelder:  
Nippondenso Co., Ltd., Kariya, Aichi, JP  
⑦4 Vertreter:  
Kuhnen, Wacker & Partner, Patent- und  
Rechtsanwälte, 85354 Freising

⑦2 Erfinder:  
Ohara, Fumio, Kariya, Aichi, JP; Yoshihara, Shinji,  
Kariya, Aichi, JP; Kanamori, Katuhiko, Kariya, Aichi,  
JP; Kurahashi, Takashi, Kariya, Aichi, JP

⑤4 Verfahren zum Herstellen einer Halbleitervorrichtung

⑤7 Auf einem Siliziumwafer 32 wird ein MOS-Transistor mit beweglichem Gate ausgebildet (Sensorelement: Funktionselement). Ein Kontaktierungsrahmen 21, der aus einer dünnen Siliziumschicht besteht, wird um einen Elementbildungsbereich herum auf der Oberfläche des Siliziumwafers 32 mittels Musterung ausgebildet. Auf einem kappenbildenden Siliziumwafer 33 wird ein hervorstehender Fußbereich 23 bereitgestellt, auf dessen unterer Oberfläche eine Kontaktierungsschicht 24 ausgebildet wird, die aus einer Goldschicht besteht. Der kappenbildende Siliziumwafer 33 wird auf dem Siliziumwafer 32 angebracht, woraufhin in bezug auf diese eine Erwärmung auf eine Temperatur, die gleich oder höher als eine eutektische Temperatur eines Gold/Silizium-Systems ist, durchgeführt wird, um dadurch eine feste Verbindung zwischen dem Kontaktierungsrahmen 21 des Siliziumwafers 32 und der Kontaktierungsschicht 24 des kappenbildenden Siliziumwafers 33 herzustellen. Danach werden beide Wafer 32 und 33 mittels Waferschneiden in Chipeinheiten zerlegt.



DE 196 19 921 A 1

Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen einer Halbleitervorrichtung, die eine Schutz-  
kappe aufweist, um ein Funktionselement einzuschlie-  
ßen.

Herkömmlicherweise besitzt ein Halbleiterbeschleunigungssensor einen beweglichen Teilbereich auf seinem Siliziumchip, wodurch eine physikalische Größe, wie zum Beispiel eine Beschleunigung, aufgrund von Verschiebung bzw. momentaner Auslenkung des beweglichen Teilbereiches in ein elektrisches Signal umgewandelt wird, wobei das elektrische Signal dann abgegriffen wird. In solch einer Halbleitervorrichtung wird der bewegliche Teilbereich auch mittels einer Kappe überdeckt bzw. eingeschlossen, um diesen beweglichen Teilbereich zu schützen.

In Published Unexamined Japanese Patent Application No. H-5-326702 ist ein Verfahren zum Herstellen einer Halbleitervorrichtung offenbart, bei der der bewegliche Teilbereich mittels der oben erwähnten Kappe überdeckt ist. Bei diesem Verfahren wird eine Vielzahl von Sensoren auf einem Siliziumsubstrat ausgebildet und danach werden die Kappen bzw. Abdeckungen zum Schutz der Sensoren auf dem Siliziumsubstrat aufgeklebt bzw. kontaktiert. Danach werden das Siliziumsubstrat und die Kappen geschnitten, während sie gleichzeitig einem Wasserfluß ausgesetzt sind. Und schließlich werden Leitungsdrahte über die Durchgangsöffnungen für Elektrodenzuleitungen, die vorher in dem Siliziumsubstrat ausgebildet wurden, mit der Außenseite verbunden.

Bei dem in Published Unexamined Japanese Patent Application No. H-5-326702 offenbarten Verfahren zum Herstellen einer Halbleitervorrichtung sind jedoch die Kontaktierungsflecke, die mit dem Sensor verbunden sind, innerhalb der Kappe bzw. Abdeckung angeordnet. Folglich ist es erforderlich, um eine Anschlußverdrahtung mit den Kontaktierungsflecken durchzuführen, die Durchgangsöffnungen in dem Siliziumsubstrat oder der Kappe bzw. Abdeckung wie oben erwähnt auszubilden. Als eine Folge nehmen die Verfahrensschritte für die Bildung der Durchgangsöffnungen nicht nur zu, sondern, falls der Wasserfluß während des Schneideschrittes störenderweise auch in die Kappen bzw. Abdeckungen eindringt, ergibt sich das Problem, daß die Produktivität abnimmt.

Es ist daher Aufgabe der vorliegenden Erfindung, ein Verfahren zum Herstellen einer Halbleitervorrichtung bereitzustellen, welches als ein Verfahren zum Herstellen einer Halbleitervorrichtung, das einen beweglichen Teilbereich mittels Verwendung einer Kappe bzw. Abdeckung überdeckt bzw. einschließt, die Notwendigkeit des Ausbildens von Durchgangsöffnungen in dem Halbleitersubstrat oder der Kappe bzw. Abdeckung eliminiert, eine einfache Anschlußverdrahtung mit der Außenseite ermöglicht und die Produktivität nicht abnehmen läßt bzw. verringert.

Die Lösung dieser Aufgabe erfolgt durch die Merkmale der Ansprüche 1, 12 bzw. 13.

Das Herstellungsverfahren gemäß der vorliegenden Erfindung umfaßt, wenn eine Kappe bzw. Abdeckung in Bezug auf eine Vielzahl von in dem Halbleiterwafer ausgebildeten funktionalen Elementen bzw. Funktionselementen (von denen jedes ein Funktionselement in den Chip wird) bereitgestellt wird, einen Funktionselementbildungsschritt zum Ausbilden von Kontaktierungsflecken, um eine Anschlußverdrahtung zwischen

jedem funktionalen Element bzw. Funktionselement und der Außenseite herzustellen, zwischen einem Funktionselementbildungsbereich und einem vorbestimmten Bereich des Halbleiterwafers, bei dem dieser Halbleiterwafer geteilt werden soll, einen Kontaktierungsrahmenbildungsschritt zum Ausbilden eines Kontaktierungsrahmens, der jedes Funktionselement in einem Bereich um jedes Funktionselement herum auf der Oberfläche des Halbleiterwafers umgibt, und zwar auf einer Seite, die näher zu jedem Funktionselement als zu dem Kontaktierungsfleck ist, und einen Kontaktierungsschritt zum Verbindens eines kappenbildenden Wafers, der einem Fußbereich bei einer Position aufweist, die dem Kontaktierungsrahmen entspricht, mittels Kontaktierung auf dem Halbleiterwafer, indem man eine feste Verbindung zwischen dem Fußbereich und dem Kontaktierungsrahmen herstellt. Das Herstellungsverfahren weist desweiteren einen Schneideschritt auf, bei dem der Halbleiterwafer bei seinem vorbestimmten Bereich, wo er geteilt werden soll, geschnitten wird, und auch der kappenbildende Wafer wird bei einer Schneideposition auf einer Seite, die näher zu dem Kontaktierungsrahmen als zu der Position, die dem Kontaktierungsfleck gegenüberliegt, geschnitten.

Da der Kontaktierungsfleck wie oben erwähnt zwischen der Position auf der Oberfläche des Halbleiterwafers, wo der Kontaktierungsrahmen ausgebildet wird, und der vorbestimmten Position darauf, wo der Halbleiterwafer geteilt werden soll, ausgebildet wird, wird der Kontaktierungsfleck auf der Außenseite der Abdeckung bzw. Kappe ausgebildet, mit dem Ergebnis, daß die Anschlußverdrahtung mit der Außenseite leicht durchgeführt werden kann. Dementsprechend ist es nicht erforderlich, eine Durchgangsöffnung in dem Halbleiterwafer oder der Abdeckung bzw. Kappe auszubilden. Dies ermöglicht die Beschaffung bzw. Bereitstellung eines Verfahrens zum Herstellen einer Halbleitervorrichtung, bei dem keine Abnahme in der Produktivität auftritt.

Auch wird vorteilhafterweise eine dünne Goldschicht (Au) mit dem Fußbereich des kappenbildenden Wafers fest verbunden. Wo der Kontaktierungsrahmen unter Verwendung von Silizium (Si) ausgebildet wird, fungiert der Goldfilm, wenn in dem Kontaktierungsschritt eine Erwärmung auf eine Temperatur durchgeführt wird, die höher ist als eine eutektische Temperatur des Systems Au/Si, als eine Kontaktierungsschicht, mit dem Ergebnis, das es möglich ist, eine feste Verbindung leicht zu erhalten. Weiterhin, wenn der Goldfilm ebenfalls auf der inneren Oberfläche der Abdeckung bzw. Kappe anhaftet bzw. angebracht ist, kann der Goldfilm ebenfalls als eine elektromagnetische Abschirmsschicht fungieren.

Ebenfalls können, wenn bei der Ausbildung einer Dünnschichtstruktur in dem Funktionselement der Kontaktierungsrahmen unter Verwendung desselben Materials ausgebildet wird, wie jenes, aus dem die Dünnschichtstruktur ausgebildet wird, die Dünnschichtstruktur des Funktionselements und der Kontaktierungsrahmen mit hochgenauer positioneller Beziehung in Bezug aufeinander gleichzeitig durch reine Musterung der Dünnschicht allein ausgebildet werden. Als eine Folge kann eine Erhöhung der Produktivität erreicht werden, ohne ein Zunahme der Verfahrensschritte.

Die Unteransprüche beziehen sich auf vorteilhafte Ausgestaltungen der Erfindung.

Weitere Einzelheiten, Merkmale und Vorteile der vorliegenden Erfindung ergeben sich aus der nachfolgenden detaillierten Beschreibung bevorzugter Ausführ-

rungsformen, den beigefügten Ansprüchen und den beigefügten Zeichnungen. Es zeigen:

Fig. 1 eine Draufsicht, die einen Halbleitersensorchip gemäß einer ersten Ausführungsform der vorliegenden Erfindung veranschaulicht;

Fig. 2 eine Schnittansicht, die entlang der Linie II-II von Fig. 1 genommen ist;

Fig. 3 eine Schnittansicht, die entlang der Linie III-III von Fig. 1 genommen ist;

die Fig. 4 bis 8 Schnittansichten, die Hauptkomponenten eines sensorelementbildenden Wafers von der Seite in der Reihenfolge der Herstellungsarbeitsschritte veranschaulichen;

Fig. 9 eine Draufsicht, die einen kappenbildenden Wafer von der Seite veranschaulicht;

Fig. 10 und 11 Schnittansichten, die einen kappenbildenden Wafer von der Seite in der Reihenfolge der Herstellungsarbeitsschritte veranschaulichen;

Fig. 12 eine Ansicht, die einen Kontaktierungsschritt zum Herstellen einer festen Verbindung zwischen den beiden Wafers veranschaulicht;

Fig. 13 eine Schnittansicht, die Hauptkomponenten einer weiteren Kontaktierungsschicht veranschaulicht;

Fig. 14 eine Ansicht, die einen Waferschneideschritt veranschaulicht;

Fig. 15 eine Draufsicht eines Wafers, die Waferschneidelinien veranschaulicht;

Fig. 16 und 17 Draufsichten, um Waferschneidepositionen zu erklären;

die Fig. 18 und 19 vergrößerte Ansichten, die Hauptkomponenten von Waferschneideschritten veranschaulichen;

Fig. 20 eine Draufsicht eines Wafers, die ein weiteres Beispiel der ersten Ausführungsform veranschaulicht;

Fig. 21 eine Schnittansicht, die einen eingegossenen Sensorchip veranschaulicht;

die Fig. 22 bis 26 Schnittansichten, die Hauptkomponenten eines sensorelementbildenden Wafers gemäß einer zweiten Ausführungsform der vorliegenden Erfindung von der Seite in der Reihenfolge der Herstellungsarbeitsschritte veranschaulichen;

die Fig. 27 bis 32 Ansichten, um ein Verfahren zum Herstellen eines Sensorschips gemäß einer dritten Ausführungsform der vorliegenden Erfindung zu erklären;

Fig. 33 eine Schnittansicht eines Chips, die ein weiteres Beispiel der dritten Ausführungsform veranschaulicht;

Fig. 34 eine Schnittansicht eines Chips, die eine Sensorstruktur veranschaulicht, die eine SOI-Struktur aufweist.

#### (Erste Ausführungsform)

Eine erste Ausführungsform des Halbleiterbeschleunigungssensors, der die vorliegende Erfindung verkörpert, wird nun unter Bezugnahme auf die Zeichnungen erklärt werden.

Fig. 1 ist eine Draufsicht, die einen Beschleunigungssensor vom Typ MOS-Transistor mit beweglichem Gate gemäß dieser Ausführungsform veranschaulicht. Auch veranschaulicht Fig. 2 einen Querschnitt, der entlang der Linie II-II von Fig. 1 genommen ist, und Fig. 3 veranschaulicht einen Querschnitt, der entlang der Linie III-III von Fig. 1 genommen ist.

Auf einem Siliziumsubstrat 1 vom P-Typ, das als ein Halbleitersubstrat fungiert, ist eine Feldoxidschicht 2 ausgebildet, auf der eine Siliziumnitridschicht 3 ausgebildet ist. Auf dem Siliziumsubstrat vom P-Typ ist eben-

falls ein rechteckiger Bereich 4 ausgebildet, in dem die Feldoxidschicht 2 und die Siliziumnitridschicht 3 nicht ausgebildet sind. Auf dem Siliziumsubstrat 1 vom P-Typ ist ebenfalls innerhalb des Bereiches 4 eine Gate-Isolierschicht 5 ausgebildet. Auf der Siliziumnitridschicht 3 ist eine bewegliche Gate-Elektrode 6 mit einer Brückenbalkenstruktur in solch einer Weise angeordnet, daß diese Gate-Elektrode 6 eine Brücke über dem Bereich 4 bildet. Die bewegliche Gate-Elektrode 6 besteht aus einer dünnen Schicht Polysilizium, die sich linear in der Form eines Streifens erstreckt. Auch sind das Siliziumsubstrat 1 vom P-Typ und die bewegliche Gate-Elektrode 6 voneinander mittels der Feldoxidschicht 2 und der Siliziumnitridschicht 3 isoliert.

In Fig. 3 sind eine fixierte Source-Elektrode 7 und eine fixierte Drain-Elektrode 8, die jeweils aus Fremdatomdiffusionsschichten bestehen, auf beiden Seiten der beweglichen Gate-Elektrode 6 auf dem Siliziumsubstrat 1 vom P-Typ ausgebildet, und jede dieser Elektroden 7 und 8 ist mittels Ionenimplantation oder ähnlichem eines Fremdatoms vom N-Typ in dem Siliziumsubstrat 1 vom P-Typ ausgebildet.

Wie in Fig. 2 veranschaulicht, erstreckt sich ein Fremdatomdiffusionsbereich 9 vom N-Typ in dem Siliziumsubstrat 1 vom P-Typ. Der Fremdatomdiffusionsbereich 9 vom N-Typ ist mit der beweglichen Gate-Elektrode 6 mittels Aluminium 10 verbunden, und ist ebenfalls mit einer Aluminiumverdrahtung 11 elektrisch verbunden. Das andere Ende der Aluminiumverdrahtung 11 ist von der Siliziumnitridschicht 3 und der Siliziumnitridschicht 16 freigelegt und fungiert als ein Aluminium-Kontaktierungsfleck (Elektroden-Kontaktierungsfleck) 12. Ebenfalls erstreckt sich, wie in Fig. 3 veranschaulicht, ein Fremdatomdiffusionsbereich 13 vom N-Typ in dem Siliziumsubstrat 1 vom P-Typ. Der Fremdatomdiffusionsbereich 13 vom N-Typ ist mit der fixierten Source-Elektrode 7 verbunden, und ist ebenfalls mit einem Aluminium-Kontaktierungsfleck 14 elektrisch verbunden. Das andere Ende der Aluminiumverdrahtung 14 ist von der Siliziumnitridschicht 3 und der Siliziumoxidschicht 16 freigelegt und fungiert als ein Aluminium-Kontaktierungsfleck (Elektroden-Kontaktierungsfleck) 15. Weiter erstreckt sich ein Fremdatomdiffusionsbereich 17 vom N-Typ in dem Siliziumsubstrat 1 vom P-Typ. Der Fremdatomdiffusionsbereich 17 vom N-Typ ist mit einer fixierten Drain-Elektrode 8 verbunden, und ist ebenfalls mit einem Aluminium-Kontaktierungsfleck 18 elektrisch verbunden. Das andere Ende der Aluminiumverdrahtung 18 ist von der Siliziumnitridschicht 3 und der Siliziumoxidschicht 16 freigelegt und fungiert als ein Aluminium-Kontaktierungsfleck (Elektroden-Kontaktierungsfleck) 19.

Man beachte hier, daß des weiteren, wie später beschrieben, eine Siliziumnitridschicht als eine letzte bzw. abschließende Schutzschicht auf der Siliziumoxidschicht 16 über einen Bereich davon, mit Ausnahme desjenigen, der der beweglichen Gate-Elektrode 6 entspricht, ausgebildet wird.

Ebenfalls sind die Aluminium-Kontaktierungsflecken 12, 15 und 19 mit einem externen Schaltkreis mittels Kontaktierungsdrähten verbunden.

Wie in Fig. 3 veranschaulicht, ist eine Inversionsschicht 20 zwischen der fixierten Source-Elektrode 7 und der fixierten Drain-Elektrode 8 in dem Siliziumsubstrat 1 vom P-Typ ausgebildet. Diese Inversionsschicht 20 ist eine Schicht, die durch das Anlegen einer Spannung über dem Siliziumsubstrat 1 unter der beweglichen Gate-Elektrode (Brückenbalkenelektrode) 6 auf-

getreten ist.

Wenn bei der Detektion einer Beschleunigung eine Spannung zwischen der beweglichen Gate-Elektrode 6 und dem Siliziumsubstrat 1 angelegt wird, wird die Inversionsschicht 20 ausgebildet, wodurch ein elektrischer Strom zwischen der fixierten Source-Elektrode 7 und der fixierten Drain-Elektrode 8 fließt. Und wenn der vorliegende Beschleunigungssensor einer Beschleunigung unterworfen worden ist, wodurch sich die bewegliche Gate-Elektrode 6 in einer in Fig. 3 angezeigten Z-Richtung (Richtung orthogonal zu der Oberfläche des Substrates) verändert bzw. bewegt hat, nimmt die Ladungsträgerkonzentration in der Inversionsschicht 20 infolge einer Änderung in der elektrischen Feldintensität zu, mit dem Ergebnis, daß der Strom (Absaugstrom bzw. Drain-Strom) zunimmt. Wie oben erwähnt, wird bei dem vorliegenden Beschleunigungssensor ein Sensorelement (MOS-Transistor mit beweglichem Gate), das als ein Funktionselement fungiert, auf der Oberfläche des Siliziumsubstrates 1 ausgebildet, und es ist möglich, die Beschleunigung mittels einer Zunahme oder Abnahme in der Höhe des Stromes zu detektieren.

Auf der Siliziumoxidschicht 16 ist ein Kontaktierungsrahmen 21, der aus einer dünnen Schicht Polysilizium besteht, um einen Sensorelementbildungsbereich herum ausgebildet. Wie in Fig. 1 veranschaulicht ist, ist der Kontaktierungsrahmen 21 in der Form eines Ringraumes (genauer gesagt, eines rechteckigen Ringraumes) angeordnet. Aluminium-Kontaktierungsflecken (Elektroden-Kontaktierungsflecken) 12, 15 und 19 sind um und nahe des Kontaktierungsrahmens 21 angeordnet.

Eine Kappe bzw. Abdeckung 22 besteht aus einem rechteckigen Siliziumsubstrat, und ein ringförmiger Fußbereich 23 ist auf der Unterseite dieser Kappe bzw. Abdeckung 22 bereitgestellt. Der Fußbereich 23 wird ausgebildet, indem man das Siliziumsubstrat lokal ätzt. Eine Kontaktierungsschicht 24 ist auf einer Oberfläche am vorderen Ende (Unterseite) des Fußbereiches 23 ausgebildet. Die Kontaktierungsschicht 24 besteht aus einer Überzugsschicht aus Gold (Au). Die Kontaktierungsschicht (Au-Schicht) 24 und der Kontaktierungsrahmen 21 sind miteinander fest verbunden bzw. kontaktiert. Und zwar wird diese Verbinden mittels Kontaktierung durch Ausbilden einer Au-Si-Legierungsschicht bewirkt. Genauer gesagt, wird diese Verbinden mittels Kontaktierung mittels einer eutektischen Reaktion bewirkt, die durch Aufheizen des Kontaktierungsrahmens (dünne Schicht Polysilizium) 21 und der Kontaktierungsschicht (Au-Schicht) 24 auf eine Temperatur, die höher als eine eutektische Temperatur eines Au/Si-Systems von 363°C ist, auftritt.

Wie oben erwähnt, dadurch, daß man die Kappe bzw. Abdeckung 22 mit der darauf ausgebildeten Kontaktierungsschicht 24 in Bezug auf den Kontaktierungsrahmen 21 kontaktiert bzw. mittels Kontaktierung verbindet, wird eine Struktur bereitgestellt, in der das Sensorelement (MOS-Transistor mit beweglichem Gate) innerhalb einer räumlichen Zone 25 in der Kappe 22 auf der Oberfläche des Siliziumsubstrates 1 eingeschlossen worden ist.

Als nächstes wird eine Erklärung der Arbeitsschritte zur Bildung einer versiegelten Struktur unter Verwendung der Kappe bzw. Abdeckung 22 gegeben werden.

Als erstes werden die Arbeitsschritte zur Bildung des Kontaktierungsrahmens 21 unter Bezugnahme auf die Fig. 4 und 8 erklärt werden. Man beachte, daß, obwohl in dem Fall dieser Ausführungsform zusätzlich zu dem

Sensorteil (bewegliche Gate-Elektrode 6) manchmal ein Steuerschaltkreis dafür, etc. gleichzeitig ausgebildet werden, die Erklärung unter Weglassung der Arbeitsschritte dafür gegeben werden wird.

Als erstes werden, wie in Fig. 4 veranschaulicht, die Feldoxidschicht 2, die Gate-Isolierschicht 5, die Fremdatomdiffusionsschichten (fixierte Source-Elektrode 7, fixierte Drain-Elektrode 8 und Diffusionsbereiche 9, 13 und 17) und die herausgezogene Aluminiumverdrahtung 14, etc., ausgebildet, woraufhin des weiteren eine Siliziumnitridschicht 3, die eine Ätzstoppschicht werden wird, gemustert wird. Eine Siliziumoxidschicht 26, die eine Opferätzschicht werden wird, wird darauf ausgebildet und in einer erwünschten Konfiguration gemustert. Dann wird eine dünne Schicht Polysilizium 27, die die bewegliche Gate-Elektrode und der Kontaktierungsrahmen werden wird, darauf abgelagert, und dann wird ein Photolack 28 aufgebracht.

Weiterhin wird, wie in Fig. 5 veranschaulicht, die dünne Schicht Polysilizium 27 mittels gewöhnlicher Photolithographie gemustert, um dadurch eine dünne Schicht Polysilizium 27a in dem Bildungsbereich für die bewegliche Gate-Elektrode und ebenfalls eine dünne Schicht Polysilizium 27b in dem Kontaktierungsrahmenbildungsbereich (einem Bereich auf der Oberfläche des Wafers, der sich um dessen Sensorelementbildungsbereich herum erstreckt) anzuordnen bzw. anzubringen. Zu diesem Zeitpunkt ist die dünne Schicht Polysilizium 27b in dem Kontaktierungsrahmenbildungsbereich so angebracht, daß sie von der dünnen Schicht Polysilizium 27a in dem Bildungsbereich für die bewegliche Gate-Elektrode durch eine erforderliche minimale Entfernung räumlich getrennt ist.

Nachfolgend wird, wie in Fig. 6 veranschaulicht, eine Isolierschicht 29 (beispielsweise ein mittels Verwendung einer Plasma-CVD-Technik präparierter Siliziumnitridfilm) der eine letzte bzw. abschließende Schutzschicht zum Schutz des IC-Chip werden wird, auf dem Siliziumwafer 32 ausgebildet, und, um eine Musterung der Isolierschicht 29 so durchzuführen, daß andere Bereiche als ein Bereich in der Nachbarschaft des Bildungsbereiches für die bewegliche Gate-Elektrode, des Kontaktierungsrahmenbildungsbereiches und, obwohl nicht veranschaulicht, der Aluminium-Kontaktierungsfleckbereiche des IC-Chips, geschützt werden, wird ein Photolack 30 auf der Isolierschicht 29 ausgebildet. Dann wird, wie in Fig. 7 veranschaulicht, nur die relevante Isolierschicht 29 mittels Verwendung des Photolacks 30 übrig gelassen.

Als nächstes wird, wie in Fig. 8 veranschaulicht, Opferschichtätzen der Siliziumoxidschicht 26 mit einer auf Fluorwasserstoffsäure basierenden Ätzlösung mittels Verwendung eines Photolacks 31 durchgeführt, um dadurch nur die Siliziumoxidschicht 26 allein um die dünne Schicht Polysiliziumschicht 27a in dem Bildungsbereich für die bewegliche Gate-Elektrode herum wegzuzätzen. Durch die Durchführung dieses Ätzens ist es möglich, die Beschaffung bzw. Bereitstellung einer räumlichen Zone um die bewegliche Gate-Elektrode 6 herum sicherzustellen, und ebenfalls eine natürliche Oxidschicht auf der Oberfläche des Kontaktierungsrahmens 21 so weit wie möglich zu eliminieren. Schließlich wird der Photolack 31 entfernt, wodurch die Arbeitsschritte zur Bildung des Kontaktierungsrahmens 21 abgeschlossen sind. In diesem Fall können diese Arbeitsschritte durchgeführt werden, ohne daß sogenannte räumliche Schritte zur Bildung des Kontaktierungsrahmens 21 hinzugefügt werden. Das heißt, da der Kontaktierungsrahmen

21 gleichzeitig mit der Bildung der Brückenbalkenstruktur der beweglichen Gate-Elektrode 6, die aus einer dünnen Schicht Silizium besteht, gebildet worden ist, ist es möglich, den Kontaktierungsrahmen 21 auf einfache Weise herzustellen.

Der Kontaktierungsrahmen 21 kann durch das Durchführen der oben erwähnten Arbeitsschritte gebildet werden. Vorteilhafterweise ist die obere Oberfläche dieses Kontaktierungsrahmens 21 bei einem Niveau lokalisiert, das höher ist als jenes, das der oberen Oberfläche der beweglichen Gate-Elektrode 6 entspricht.

Als nächstes werden die Arbeitsschritte zur Bildung einer auf der Abdeckung 22 ausgebildeten Kontaktierungsschicht (Au-Schicht) 24 erklärt werden.

Der in dieser Ausführungsform als Kappe 22 verwendete Siliziumwafer macht es möglich, die Feuchteunempfindlichkeit auf einfache Weise sicherzustellen, und ist dauerhaft zu einem Preis erhältlich, der für einen Wafer relativ niedrig ist. Zusätzlich ist es möglich, in einem Fall, wo ein Siliziumwafer als das Material verwendet wird, aus dem die Kappe gebildet wird, da das dazugehörige Substrat, das mittels Kontaktierung verbunden werden soll, aus Silizium ist, die von thermischer Expansion herrührende mechanische Spannung auf einen kleinen Wert herunterzubringen bzw. zu unterdrücken, mit dem Ergebnis, daß dessen Verwendung in Begriffen der Verlässlichkeit bzw. Zuverlässigkeit vorteilhaft wird.

Wie in den Fig. 9 und 10 veranschaulicht ist, wird ein Siliziumwafer, der dieselbe Größe aufweist wie der Siliziumwafer (Sensorwafer) mit einem darauf ausgebildeten Sensor, etc., als ein kappenbildender Siliziumwafer 33 zur Bildung der Kontaktierungsschicht 24 präpariert. Wie in Fig. 11 veranschaulicht ist, wird, wenn ein Silizium-(100)-Ebenen-Wafer 33 als das Kappenmaterial verwendet wird, mit einer als Musterungsmaske verwendeten Siliziumoxidschicht, der Fußbereich 23 unter Verwendung anisotropen Ätzens, das eine alkalische Ätzlösung verwendet, ausgebildet. Diese Technik ist eine, die oft bei der Herstellung eines Drucksensor vom Membrantyp, etc., verwendet wird. Dieser Fußbereich 23 wird ebenfalls bei einer Position ausgebildet, die dem Kontaktierungsrahmenmuster entspricht.

Als nächstes wird die Kontaktierungsschicht 24 auf der unteren Oberfläche (Oberfläche am vorderen Ende) des Fußbereichs 23 ausgebildet. Genauer gesagt, nachdem man eine unterlegte Metallschicht (deren Dicke im Fall von Ti, Ni, Cr, etc., ungefähr 0,1 µm beträgt, wobei, wenn das Substrat aus Glas besteht, dieses unterlegte Metall unverzichtbar ist.) in Bezug auf den kappenbildenden Siliziumwafer 33 ausgebildet hat, um eine gute Adhäsion bzw. Anhaftung davon an der Au-Schicht bereitzustellen, wird die Au-Schicht mit einer Dicke von einigen Mikrometern unter Verwendung einer Beschichtungs- bzw. Galvanisierungstechnik ausgebildet (die Dicke liegt geeigneterweise in einem Bereich von 2 bis 5 Mikrometern). Danach wird sie unter Verwendung von gewöhnlicher Photolithographie gemustert. Die Linienbreite des Musters beträgt geeigneterweise ungefähr 0,1 bis 0,3 mm. Die Linienbreite der Kontaktierungsschicht 24 wird dünner gemacht als die Linienbreite des Kontaktierungsrahmens 21, das heißt, das Design wird so ausgeführt, daß eine Kontaktierungsoberfläche zwischen beiden zuverlässig sichergestellt werden kann.

Zu diesem Zeitpunkt, wenn eine gesamte Oberfläche der inneren Wandung der Kappe unter der Verwendung einer leitenden Schicht auf solch eine Weise bedeckt wird, daß das unterlegte Metall und die Au-Über-

zugsschicht verkleidet sind, kann die Kappe so gefertigt werden, daß sie einen EMI (Electromagnetic Interference — elektromagnetische Beeinflussung, EMB) — Abschirmeffekt aufweist. Und zwar wird, wie in den Fig. 2 und 3 durch die strichpunktierten Linien angezeigt ist, eine Au-Schicht 51 auf der inneren Oberfläche der Kappe 22 angebracht bzw. angeordnet und, indem man die resultierende Kappe in dem Substrat Erdungspotential annehmen läßt, kann die Kappe als eine elektromagnetische Abschirmschicht fungieren. Wie oben erwähnt, indem man die Kontaktierungsschicht unter Verwendung eines leitenden Materials (Au) ausbildet und die Au-Schicht 51 auf solch eine Weise ausbildet, daß sie die gesamte innere Wandoberfläche der Kappe einschließlich dieser Au-Schicht aus leitendem Material bedeckt, und dieses Au-Schicht 51 mit einem Referenzpotential auf der Seite des elementbildenden Siliziumwafers über dem Kontaktierungsrahmen 21 verbindet, ist es möglich, die Kappe mit dem Abschirmeffekt in Bezug auf elektromagnetische Beeinflussung (EMB) zu versehen. Genauer gesagt, da es möglich ist, die Kappe dadurch mit dem Abschirmeffekt auszustatten, daß man die gesamte Kappe unter Verwendung einer leitenden Schicht verkleidet bzw. bedeckt, ist es möglich, den Einfluß von Lärm- bzw. Rauschquellen auf die internen Funktionselemente zu verringern, oder umgekehrt, die Erzeugung bzw. Übertragung von Lärm bzw. Rauschen durch die internen Funktionselemente zu unterbinden. Dieser Effekt hängt nicht von der Art der Funktionselemente ab, und derselbe Effekt wie oben erwähnt kann in Bezug auf elektronische Schaltkreise, etc., genauso erwartet werden. Folglich besitzt diese Technik eine weite Verfügbarkeit bzw. Anwendbarkeit.

Auch genügt es, wenn es erwünscht ist, die Menge an verwendetem Au zu verringern, eine Ablagerung in Form einer Maske eines unterlegten Metalls nur auf der unteren Oberfläche des Fußbereichs 23 und der inneren Oberfläche der Kappe innerhalb davon durchzuführen, und dann eine selektive Beschichtung von Au darauf anzubringen und dadurch die Kontaktierungsschicht auszubilden.

Auch wird, wie schon früher angegeben, die Breite des Fußbereichs 23 der Kappe im voraus so entworfen, daß sie dünner als die Linienbreite des Kontaktierungsrahmens 21 wird. Jedoch gibt es den Vorteil zu diesem Zeitpunkt, daß, wenn der Fußbereich 23 der Kappe wie in dem Fall dieser Ausführungsform ausgebildet worden ist, da, wenn man die Kappe auf den Kontaktierungsrahmen 21 preßt, es leicht wird, eine Kontaktierungsoberfläche bei dem Bereich der unteren Oberfläche des Fußbereichs 23 sicherzustellen, exzellente Versiegelungseigenschaften leicht zu erhalten sind. Ebenfalls ist es vorteilhaft, wenn es erwünscht ist, eine gute Kontaktierungsschicht ohne darin enthaltene Hohlräume aus einer durch eine Reaktion zwischen Au und Polysilizium hergestellter Legierungsschicht zu bilden, die Diffusion von Au in die Seite des Si so stark wie möglich zu unterdrücken. Zu diesem Zweck wird zuerst eine Oxidschicht (in Fig. 11 mittels des Referenzzeichens 53 angezeigt), die als eine Diffusionsschutzschicht fungiert, auf der Oberfläche des Siliziums, das zur Abdeckung bzw. Kappe werden wird, ausgebildet, und dann wird die unterlegte Schicht ausgebildet. Indem man danach die Au-Schicht mit dem resultierenden Fußbereich fest verbindet bzw. kontaktiert, wird die Oxidschicht eine Sperrschicht zur Verhinderung der Diffusion des Au, mit dem Ergebnis, daß eine unnötige Bewegung des Au verhindert werden kann und, als ein Ergebnis davon kann das



Erzeugen bzw. Hervorbringen von Hohlräumen verhindert werden.

Als nächstes werden das Verbinden des kappenbildenden Siliziumwafer 33 auf den bzw. mit dem Siliziumwafer 32 mittels Kontaktierung und das Waferschneiden erklärt werden.

Wie in Fig. 12 veranschaulicht wird der kappenbildende Siliziumwafer 33 mit dem darauf ausgebildeten Fußbereich 23 positionell mit dem Siliziumwafer (Halbleiterwafer) 32 mit dem darauf ausgebildeten Sensor, etc., ausgerichtet, woraufhin die auf dem Fußbereich 23 ausgebildete Kontaktierungsschicht 24 (Au-Schicht) über dem aus der Siliziumschicht bestehenden Kontaktierungsrahmen 21 aufgelegt wird. Daraufhin werden beide Schichten durch thermische Druckkontaktierung miteinander verbunden bzw. kontaktiert. Genauer gesagt, wird die Kontaktierung bzw. das Verbinden mittels Kontaktierung bei einer Behandlungstemperatur von ungefähr 400°C (die eutektische Temperatur von Au und Si beträgt 363°C) und unter einer Gewichtsbelastung von ungefähr 0,2 bis 1 kg/mm<sup>2</sup> für einen Bearbeitungszeitabschnitt von einigen 10 Minuten durchgeführt.

Als ein Verfahren zur positionellen Ausrichtung werden im voraus Standardlinien in Bezug auf den kappenbildenden Siliziumwafer 33 ausgebildet, indem man wie in Fig. 15 veranschaulicht Waferschneiden in X- und Y-Richtungen in entsprechender Beziehung zu den Positionen der Waferschneidelinien des Siliziumwafer 32 durchführt. Nachdem man diese Standardlinien positionell mit den Waferschneidelinien des Siliziumwafer 32 ausgerichtet hat, wird der kappenbildende Siliziumwafer 33 auf dem Siliziumwafer 32 angebracht und mit diesem durch Druckkontaktierung verbunden. Auch ist es möglich, falls man eine Montageeinrichtung mit einem Mustererkennungsmechanismus verwendet, auf einfache Weise eine positionelle Ausrichtung durchzuführen, indem man Markierungen in Bezug auf den kappenbildenden Siliziumwafer 33 bzw. den Siliziumwafer 32 bereitstellt.

Die Genauigkeit der Montage ist hinreichend, falls sie zehn und einige Mikrometer oder weniger beträgt.

Ebenfalls kann, falls, wenn die zwei Wafer mittels Kontaktierung verbunden werden, das Verbinden mittels Kontaktierung in einer Vakuumatmosphäre oder einer Inertgasatmosphäre oder unter einem vorbestimmten Druckniveau durchgeführt wird, das Innere der Kappe ein Vakuum oder eine Inertgasatmosphäre oder einen vorbestimmten Druck aufweisen. Das heißt, da die Kappe 22 und der Kontaktierungsrahmen 21, der auf der Siliziumoberfläche mit dem darauf ausgebildeten Funktionselement ausgebildet ist, miteinander in einem Zustand hoher Luftdichtigkeit unter Verwendung der Metallegierung mittels Kontaktierung verbunden werden, ist es möglich, den internen Druck der Kappe zu fixieren (beispielsweise kann eine Vakuumversiegelung realisiert werden). Genauer gesagt, da die feste Verbindung bzw. Kontaktierung in Form einer geschlossenen Struktur realisiert werden kann, ist es möglich, das Innere der Kappe unter Vakuum und dadurch die Empfindlichkeit des Sensors auf einem hohen Niveau zu halten. Oder es ist möglich, das Innere der Kappe mit einem Inertgas zu füllen, und dadurch eine Verschlechterung der Sensoreigenschaften und ähnliches zu verhindern, oder es ist möglich, den internen Druck der Kappe zu fixieren, und dadurch einen Referenzdruck zu erhalten, wenn das Innere der Kappe als ein Drucksensor ausgelegt bzw. ausgeführt worden ist.

Das Kappenmaterial wird wie oben erwähnt kontaktiert bzw. mittels Kontaktierung verbunden. Zu diesem Zeitpunkt ist es möglich, den räumlichen Bereich 25 genügend groß zu machen, indem man den Fußbereich 23 in Bezug auf die Kappe 22 bereitstellt, und folglich zu erwarten, daß auch ein die Luftdichtversiegelung verbessernder Effekt hervorgerufen wird, indem man die Kapazität des räumlichen Bereiches vergrößert.

Man beachte das Folgende. Bei diesem Kontaktierungsprozeß tritt manchmal, wenn man den Kontaktierungsrahmen 21 unter Verwendung einer dünnen Siliziumschicht ausgebildet hat, die Störung bzw. Schwierigkeit auf, daß eine natürliche Oxidschicht (die Dicke: einige Nanometer) auf der Oberfläche des Siliziums vor der Durchführung des Kontaktierungsprozesses entstanden ist, wodurch seine Haftung bzw. Bindung an die Au-Schicht verhindert bzw. blockiert wird, woraufhin die eutektische Reaktion nicht stattfindet bzw. fortschreitet. Um dies zu berücksichtigen, genügt es, wie schon früher festgestellt, den Kontaktierungsprozeß gleich nach der Durchführung der Opferschichtätzbehandlung mittels einer Fluorwasserstoffsäurenlösung durchzuführen, oder in dem Fall, daß der Kontaktierungsprozeß nicht sofort durchgeführt werden kann, die Oxidschicht von neuem mit Licht unter Verwendung eines auf CF<sub>4</sub> basierenden Gases wegzuzühen und den Kontaktierungsprozeß gleich danach durchzuführen.

Zusätzlich zu der oben erwähnten Technik kann, als ein Verfahren, um solch eine natürliche Oxidschicht definitiv zu zerstören, um dadurch eine gute Kontaktierung bzw. feste Verbindung zu erhalten, eine dünne Schicht (die Dicke: ungefähr 0,1 µm) aus einem Material, das bei der gleichen oder einer niedrigeren Temperatur als die eutektische Temperatur (363°C) des Systems Au/Si schmilzt, ebenfalls auf der Oberfläche der Metallschicht (Au-Schicht) 24 ausgebildet werden und die die Kontaktierungsschicht auf der Seite der Kappe 22 werden. Genauer gesagt, wird eine Si-Schicht, Ge-Schicht, Sn-Schicht oder ähnliches verwendet (die eutektische Temperatur des Systems Au/Ge: 356°C, und die eutektische Temperatur des Systems Au/Sn: 280°C). Diese dünne Schicht wird in Fig. 11 durch das Bezugszeichen 52 angezeigt. Wenn die Kontaktierung durchgeführt wird, wird die Temperatur einmal bis auf eine Temperatur, die höher ist als die eutektische Temperatur, erhöht, um dadurch ein Schmelzen der Oberflächenschicht der Au-Schicht zu bewirken. Als ein Ergebnis wird die Oxidschicht auf der Oberfläche der Siliziumschicht, die den Kontaktierungsrahmen 21 bildet, zerstört, wodurch dazwischen eine Fest/Flüssig-Grenzfläche erzeugt wird. Dies ermöglicht das Auftreten bzw. die Durchführung einer guten eutektischen Reaktion. Zur Zeit der Kontaktierung wird der Kontaktierungsprozeß in einer Inertgasatmosphäre (He, Ar, N<sub>2</sub> oder ähnlichem) oder reduzierenden Gasatmosphäre (H<sub>2</sub>) oder in Vakuum durchgeführt.

Ebenfalls kann, als ein Verfahren um auf ähnliche Weise die natürliche Oxidschicht auf der Siliziumoberfläche definitiv zu zerstören, um dadurch eine gute Kontaktierung bzw. feste Verbindung zu erhalten, Metall (beispielsweise Ti, Al, Ta, Cr, Nb, etc.), um eine Siliziumoxidschicht zu reduzieren, einige bis einige 10 Nanometer auf der Oberfläche der Metallschicht (Au-Schicht) 24 abgelagert werden und die Kontaktierungsschicht auf der Seite der Kappe 22 werden, und, auf diesem abgelagerten Metall, kann eine Metallschicht (52 in Fig. 13) wie zum Beispiel Au, das nicht-oxidierbar ist, ungefähr 10 bis 20 nm abgelagert werden, um die Oxidation des

reduzierenden Metalls zu verhindern. Wenn die Kontaktierung mittels Erwärmen und Ausüben von Druck durchgeführt wird, diffundiert das reduzierende Metall (beispielsweise Ti) auf der Seite der Oberfläche in die Au-Schicht auf der äußersten Oberfläche und erreicht die Oberfläche des Siliziums auf der Seite des Sensorwafers und entzieht der natürlichen Oxidschicht des Siliziums ihren Sauerstoff, um dadurch die Oxidschicht zu zerstören. Als eine Folge findet die Reaktion zwischen Au und Silizium gleichmäßig über einen gesamten Bereich der Kontaktierungsgrenzfläche statt, mit dem Ergebnis, daß es möglich ist, die Kontaktierungsgrenzfläche mit fast keinen darin erzeugten Hohlräumen auszubilden. In diesem Fall wird der Kontaktierungsprozeß ebenfalls in einer Inertgasatmosphäre oder einer reduzierenden Gasatmosphäre oder im Vakuum durchgeführt.

Nachdem der kappenbildende Siliziumwafer 33 vor seiner Zerlegung in Chips kollektiv kontaktiert worden ist, wird er, wie in Fig. 14 veranschaulicht, bei den Positionen, die jeweils mittels eines Bezugszeichens 34 angezeigt sind, zerschnitten, wobei nur die von ihm notwendigen Bereiche übrig gelassen werden wie sie sind, während der Rest entfernt wird.

Die Schneidepositionen, wo der elementbildende Siliziumwafer 32 geschnitten wird, sind in Fig. 16 veranschaulicht. Wenn sein Schneiden auf eine notwendige minimale Größe durchgeführt wird (wobei vorausgesetzt ist, daß die Genauigkeit der Montage und die Genauigkeit des Waferschneidens berücksichtigt werden), wird der Schneideprozeß, um die bewegliche Gate-Elektrode (beweglicher Teilbereich) des Sensorelements zu schützen, bei den in Fig. 16 veranschaulichten Schneidepositionen durchgeführt. Man beachte hier, daß, wenn es erforderlich ist, die Oberfläche des elementbildenden Siliziumwafers 32 vom Zerspringen nicht benötigter Chips zu schützen, das Schneiden, während man den Schneideoperationen des Kappenbereiches so weit wie möglich folgt, so nahe wie möglich zum Ritzrahmen durchgeführt wird, um so die Bereiche außerhalb seiner benötigten Elektroden-Kontaktierungsflächen abzudecken, wie es bei den Schneidepositionen D in Fig. 17 veranschaulicht ist.

Fig. 18 ist eine typische Schnittansicht zu der Zeit des Waferschneidens während des Schneideprozesses des kappenbildenden Siliziumwafers 33. Während in Fig. 18 die Schneidepositionen des kappenbildenden Siliziumwafers 33 jene sind, die durch die Bezugszeichen 34 angezeigt werden, sollte man zu diesem Zeitpunkt sorgfältig darauf achten, daß das Blatt einer Waferschneidesäge die Oberfläche des Siliziumwafers 32 nicht beschädigt. In diesem Zusammenhang bzw. für diesen Zweck spielt der Kappenbereich 23 des kappenbildenden Siliziumwafers 33 eine wichtige Rolle. Das heißt, wenn man die Flachheit einer Wafer-fixierenden Arbeitsbühne der Waferschneidesäge, die Variationen in der Dicke des Siliziumwafers und den Prozeßspielraum berücksichtigt, und im Fall eines Siliziumwafers, dessen Durchmesser 15,24 cm (6 inch) beträgt, wird man die Länge des Fußbereiches 23 des kappenbildenden Siliziumwafers 33 nicht kürzer als ungefähr 90 µm machen. Das heißt, der Abstand zwischen der unteren Oberfläche des kappenbildenden Siliziumwafers 33 und der oberen Oberfläche des Siliziumwafers 32 kann mittels des Fußbereiches 23 vergrößert werden, um so einen Vorteil beim Durchführen des Waferschneidens in Bezug auf den kappenbildenden Siliziumwafer 33 bereitzustellen.

Man beachte das Folgende. Wenn während des Waferschneideprozesses des kappenbildenden Siliziumwafers 33 die Schwierigkeit auftritt, daß der Wafer bei seinem Kantenbereich vibriert, wodurch der kontaktierte Bereich abgelöst wird oder das Blatt der Waferschneidesäge zerbrochen wird, ist es vorteilhaft, solch eine periphere fixierte Schicht 36 wie in Fig. 20 veranschaulicht bei dem peripheren Bereich des kappenbildenden Siliziumwafers 33 bereitzustellen. Es genügt, daß diese fixierte Schicht nur bei den Positionen der Schneidelinien ausgebildet wird. Ebenfalls, zu solch einem Zeitpunkt, wenn nicht benötigte Chips, die separiert worden sind als man den kappenbildenden Siliziumwafer 33 geschnitten hat, zerspringen und leicht die Chips der Kappe 22 oder die unterlegte Schicht beschädigen können, ist es wirkungsvoll, jede zweite Linie anzuschneiden bzw. halb durchzuschneiden, um dadurch die nicht benötigten Chips nicht vollständig zu separieren und dadurch das Auftreten der von ihrem Zerspringen herrührenden Schwierigkeiten zu vermeiden, oder es ist ebenfalls wirkungsvoll, nachdem man entlang einer Richtung (beispielsweise der X-Richtung) geschnitten hat, ein Klebeband aufzukleben und dann den resultierenden Wafer entlang der anderen Richtung (Y-Richtung) zu schneiden, um dadurch das Zerspringen von nicht benötigten Chips zu verhindern.

Nach dem Beenden des Schneideprozesses und des Eliminationsprozesses der nicht benötigten Bereiche des kappenbildenden Siliziumwafers 33 wird als nächstes, wie in Fig. 18 veranschaulicht, Waferschneiden in Bezug auf den Ritzrahmen des Siliziumwafers 32 bei seinen Waferschneidepositionen 35 durchgeführt. Mittels dieses Waferschneidens wird der Siliziumwafer 32, wie in den Fig. 1 bis 3 veranschaulicht, in individuelle Chips aufgeteilt. Wie oben erwähnt, nachdem man den kappenbildenden Wafer 33 von oben bei den durch die Bezugszeichen 34 angezeigten Positionen geschnitten hat, ist es möglich auf ähnliche Weise den Siliziumwafer 32 bei den durch die Bezugszeichen 35 angezeigten Positionen von oben zu zerschneiden. Ebenfalls kann man, wie in Fig. 19 veranschaulicht, nachdem man gleichzeitig das Waferschneiden in Bezug auf die Wafer 33 und 32 bei den durch die Bezugszeichen 35 angezeigten Positionen durchgeführt hat, den Wafer 33 bei den Positionen 34 zerschneiden, um dadurch die Kappe 22 zu bilden.

Obwohl während dieser Waferschneideoperation ebenfalls ein Wasserfluß und Wasserdruck vorhanden bzw. angelegt sind, wird das Funktionselement (Sensorelement mit einer Brückenbalkenelektrodenstruktur, etc.), das vor äußeren Kräften geschützt werden muß, mittels der Kappe 22 geschützt.

Zuletzt wird, wie in Fig. 21 veranschaulicht, ein Kunstharzguß unter Verwendung einer Formmasse durchgeführt. Zu diesem Zeitpunkt ist es möglich, mittels der Kappe 22 die bewegliche Gate-Elektrode (den beweglichen Teilbereich des Sensors) und dergleichen, welche die wichtige Struktur des Chips ausmachen, vor den äußeren Kräften zu schützen, die auftreten, wenn der Chip in Kunstharz eingeschlossen bzw. versiegelt wird.

Wie oben erwähnt wurde, wurde in dieser Ausführungsform der Kontaktierungsrahmen 21, der aus einer dünnen Siliziumschicht besteht, um den Elementbildungsbereich auf der Oberfläche des Siliziumwafers (Halbleiterwafers) 32 zur Bildung des MOS-Transistors mit beweglichen Gate (das Sensorelement: das Funktionselement) herum ausgebildet, die Kontaktierungs-



schicht 24, die aus einer Goldschicht besteht, wurde bei der Position des kappenbildenden Siliziumwafers 33 die dem Kontaktierungsrahmenmuster entspricht, ausgebildet, ein Aufheizen auf eine Temperatur, die gleich der oder höher als die eutektische Temperatur des Systems Au/Si ist, wurde in einem Zustand des Kontakts zwischen dem Kontaktierungsrahmen 21 des Siliziumwafers 32 und der Kontaktierungsschicht 24 des kappenbildenden Siliziumwafers 33 durchgeführt, und dann wurden beide Wafer 32 und 33 in Chipeinheiten zerschnitten. Wie oben erwähnt wurde, kann, da der aus einer dünnen Siliziumschicht bestehende Kontaktierungsrahmen 21 auf dem Siliziumwafer 32 und die aus einer Goldschicht bestehende Kontaktierungsschicht 24 auf dem kappenbildenden Siliziumwafer 33 mittels Mustering ausgebildet wurde und beide Wafer 32 und 33 mittels Kontaktierung miteinander verbunden bzw. kontaktiert wurden, eine Halbleitervorrichtung mit der Schutzkappe 22 zum Überdecken bzw. Einschließen des Elementes auf einfache Weise unter Verwendung einer gewöhnlichen Halbleiterherstellungstechnik hergestellt werden. Das heißt, da der Siliziumwafer 33, der zur Kappe werden wird, kollektiv auf der gesamten Oberfläche des Siliziumwafers 32 kontaktiert und dann mittels Waferschneideoperationen zerschnitten worden ist, ist es möglich, die Schutzkappen 22 wirkungsvoll und effizient in Bezug auf die individuellen Funktionselementbereiche auszubilden.

Ebenfalls, da die dünne Schicht Polysilizium als das Material für den Kontaktierungsrahmen verwendet wird, ist es möglich, die Kontaktierungsrahmenbildungsprozeßschritte, die dem Siliziumwaferprozeß angepaßt sind, zu benutzen, mit dem Ergebnis, daß es möglich ist, die Kontaktierungsschicht (Au-Überzugsschicht) auszubilden, ohne eine Auswahl des Kappenmaterials zu machen. Folglich weist diese Technik eine breite Anwendbarkeit auf. Genauer gesagt, obwohl der Durchsatz abnimmt, wenn man die Kappe 22 individuell mit den Chips verbindet bzw. kontaktiert, wird diese Unzulänglichkeit ausgemerzt bzw. verbessert. Das heißt, dadurch, daß man kollektives Kontaktieren und kollektives Schneiden des kappenbildenden Siliziumwafers 33 durchführt, wird die Bildung der Schutzkappen zu niedrigen Kosten möglich.

Weiterhin ist es möglich, da die Verwendung eines Kappenmaterials, das keine Luftdurchlässigkeit aufweist, eine luftdichte Versiegelung bereitstellen kann, eine versiegelte Struktur hoher Zuverlässigkeit bereitzustellen, ohne eine Verschlechterung des Leistungsverhaltens des schützenden Sensors zu verursachen. In diesem Fall, da es sogar bei Verwendung einer in Kunstharz eingeschlossenen Baugruppe, wie in Fig. 21 veranschaulicht, möglich ist, eine genügend hohe Zuverlässigkeit sicherzustellen, ist es möglich, beispielsweise, einen Sensor mit einem beweglichen Teilbereich zu niedrigen Kosten als Baugruppe herzustellen.

Als ein angewendetes Beispiel dieser Ausführungsform kann anstelle einer dünnen Schicht Polysilizium eine dünne Schicht amorphes Silizium als das Material des Kontaktierungsrahmens 21 verwendet werden. In diesem Fall können ebenfalls die Kontaktierungsrahmenbildungsprozeßschnitte, die mit dem Siliziumwaferprozeß zusammen passen, verwendet werden, mit dem Ergebnis, daß die Kontaktierungsschicht (Au-Überzugsschicht) ausgebildet werden kann, ohne daß man eine Auswahl des Kappenmaterials betrifft. Folglich weist diese Technik ebenfalls eine breite Anwendbarkeit auf.

## (Zweite Ausführungsform)

Als nächstes wird eine zweite Ausführungsform der vorliegenden Erfindung erklärt werden, hauptsächlich in Zusammenhang mit den unterschiedlichen Punkten zwischen dieser Ausführungsform und der ersten Ausführungsform.

In dieser Ausführungsform wird das Sensorelement anstelle der in den Fig. 4 bis 8 veranschaulichten Kontaktierungsrahmenbildungsprozeßschritte gemäß der ersten Ausführungsform unter Verwendung der Kontaktierungsrahmenbildungsprozeßschritte in den Fig. 22 bis 26 hergestellt.

Wie in Fig. 22 veranschaulicht ist, wird auf der Siliziumoxidschicht 26 eine dünne Schicht Polysiliziumschicht 38 zum Bilden einer beweglichen Gate-Elektrode abgelagert, auf der ein Photolack 39 über einem vorbestimmten Bereich angebracht wird. Dann wird, wie in Fig. 23 veranschaulicht, die dünne Schicht Polysilizium unter Verwendung des Photolacks 39 ausgebildet bzw. gemustert. Danach wird, wie in Fig. 24 veranschaulicht ist, eine Isolierschicht 40 (Oxidschicht) abgelagert, wonach eine letzte bzw. abschließende Schutzschicht 41 (eine Siliziumnitridschicht auf der Basis der Verwendung eines Plasma-CVD-Verfahrens) angebracht wird. Dann wird mittels der Durchführung einer Photolithographie unter Verwendung eines Photolacks 42, wie in Fig. 25 veranschaulicht, die Schutzschicht 41 über dem Bildungsbereich für die bewegliche Gate-Elektrode entfernt. Als nächstes wird eine dünne Siliziumschicht 43 angebracht, die zum Kontaktierungsrahmen werden wird. Als ein Verfahren zur Herstellung der dünnen Siliziumschicht 43 wird ein Plasma-CVD-Verfahren verwendet, das die Bildung der Schicht bei einer Temperatur ermöglicht, die die Aluminiumverdrahtung, etc., nicht schädigt. Als ein spezielleres Material für den Kontaktierungsrahmen verwendet man eine amorphe Si-Schicht oder eine amorphe SiN-Schicht, die reich an Si ist. Gemäß den Experimenten, die von den Erfindern der vorliegenden Erfindung durchgeführt wurden, ist es bestätigt, daß diese Schicht, wenn das Elementzusammensetzungsverhältnis von Si zu N 1,5 oder mehr beträgt, fast wie in dem Fall einer Siliziumschicht gehandhabt werden kann.

Diese dünne Schicht 43 aus amorphen Silizium wird mittels eines photolithographischen Prozesses, der eine Photolackschicht 44 verwendet, mittels Mustering ausgebildet, und die dünne Siliziumschicht 43, die als der Kontaktierungsrahmen fungiert, wird wie in Fig. 26 veranschaulicht ausgebildet. Dann wird, wobei die erforderlichen Bereiche unter Verwendung eines Photolacks geschützt werden, Opferschichtätzen durchgeführt, um die dünne Schicht Polysilizium 38a, die die bewegliche Gate-Elektrode 6 werden wird, so zurückzulassen, wie sie ist, um dadurch den räumlichen Bereich auszubilden.

In dieser Ausführungsform gibt es den Vorteil, daß, da der Kontaktierungsrahmen 21 auf der abschließenden Schutzschicht 41 ausgebildet wird, die Anzahl der Freiheitsgrade beim Layout in Bezug auf das Design des Ic-Chips zunimmt.

## (Dritte Ausführungsform)

Als nächstes wird eine dritte Ausführungsform der vorliegenden Erfindung erklärt werden, hauptsächlich in Zusammenhang mit den unterschiedlichen Punkten zwischen dieser Ausführungsform und der ersten Ausführungsform.

In dieser Ausführungsform wird das Sensorelement anstelle der in den Fig. 10 bis 12 und Fig. 14 veranschaulichten Prozeßschritte gemäß der ersten Ausführungsform unter Verwendung der Prozeßschritte der Fig. 27 bis 32 hergestellt.

Wie in Fig. 27 veranschaulicht ist, wird ein kappenbildender Siliziumwafer 45 präpariert, und wie in Fig. 28 veranschaulicht ist, wird ein Fußbereich 23 ausgebildet. Andererseits wird, wie in Fig. 29 veranschaulicht, eine Klebeschicht bzw. Haftschrift 47 (beispielsweise ein Polyamidkunstharz, ein hochmolekularer thermoplastischer Klebstoff, etc.) auf einem Trägerwafer 45 (beispielsweise Siliziumwafer), der als ein Waferunterstützungsteil fungiert, mittels Schleuderbeschichtung angebracht, und dann wird der kappenbildende Siliziumwafer 45 mittels der Klebeschicht bzw. Haftschrift 47 auf dem Trägerwafer 46 kontaktiert bzw. mittels Kontaktierung verbunden. Dann wird, wie in Fig. 30 veranschaulicht, Waferschneiden in Bezug auf den kappenbildenden Siliziumwafer 45 bei den Positionen, die jeweils mittels des Bezugszeichens 48 angezeigt sind, durchgeführt, um ihn dadurch vollständig auf eine erwünschte Kappengröße zu zerschneiden. Und zwar werden die Schnitte durchgeführt, um ihn auf zuteilen und Kappen in Chipeinheiten zu bilden, d. h. die Schnitte werden zur Aufteilung des kappenbildenden Wafers in gekapselte Chipeinheiten durchgeführt. Falls man zu diesem Zeitpunkt diese Schnitte, die mittels der Blätter der Waferschneidesäge gemacht werden, innerhalb der Klebeschicht bzw. Haftschrift 47 verbleiben bzw. gehalten werden, wird eine Wiederverwendung des Trägerwafers 46 möglich. Wie es oben erwähnt wurde, wird das Waferschneiden des kappenbildenden Siliziumwafers 45 auf eine erwünschte Kappengröße im voraus zu einem Zeitpunkt durchgeführt, bevor er mit dem sensorbildenden Siliziumwafer kontaktiert bzw. mittels Kontaktierung verbunden wird.

Weiterhin wird, wie in Fig. 31 veranschaulicht ist, der kappenbildende Siliziumwafer 45 positionell mit dem funktionselementbildenden Siliziumwafer 49 ausgerichtet und darauf angebracht, auf dieselbe Weise, wie im Fall der ersten Ausführungsform, und dann thermisch mit ihm kontaktiert bzw. mittels Kontaktierung verbunden. Als nächstes wird, wie in Fig. 32 veranschaulicht ist, eine Behandlung durchgeführt, um die Haftkraft der Klebeschicht bzw. Haftschrift 47 zu schwächen (beispielsweise um sie mittels thermischer Zersetzung zu schwächen), um dadurch den Trägerwafer 46 gemeinschaftlich mit den nicht benötigten Bereichen 45a (in Fig. 31 angezeigt) des kappenbildenden Siliziumwafers 45 abzulösen, wobei nur die Kappen allein wie sie sind auf dem funktionselementbildenden Siliziumwafer 49 verbleiben. Und zwar wird der Trägerwafer 46 von dem kappenbildenden Siliziumwafer 45 separiert, um dadurch die nicht benötigten Bereiche 45a des kappenbildenden Siliziumwafers 45 zu entfernen. Als ein Ergebnis können die nicht benötigten Bereiche 45a des kappenbildenden Siliziumwafers 45 verläßlich entfernt werden, ohne ihr Zerspringen zu verursachen.

Schließlich wird der funktionselementbildende Siliziumwafer 49 bei den Positionen, die jede mittels eines Bezugszeichens 50 angezeigt wird, zerschnitten.

Wie oben erwähnt wurde, wird in dieser Ausführungsform der kappenbildenden Siliziumwafer 45 mit dem Kontaktierungsschichtmuster mit dem Trägerwafer 46 verbunden, woraufhin Schnitte zum Aufteilen und zum Bilden in Kappen in Chipeinheiten in Bezug auf den kappenbildenden Siliziumwafer 45 durchgeführt wer-

den, d. h. es werden Schnitte zur Aufteilung des kappenbildenden Wafers in gekapselte Chipeinheiten durchgeführt. Dann werden der kappenbildende Siliziumwafer 45 und der funktionselementbildende Siliziumwafer 49 miteinander mittels Kontaktierung verbunden, wonach der Trägerwafer 46 von dem kappenbildenden Siliziumwafer 45 getrennt wird, um dadurch seine nicht benötigten Bereiche 45a zu entfernen. Demgemäß ist es nicht möglich, daß, wenn der kappenbildende Siliziumwafer 45 zerschnitten wird, nicht benötigte Chips zerspringen können, um so die Oberfläche des funktionselementbildenden Siliziumwafers 49 zu beschädigen, und demgemäß können die Schneidepositionen die Schneidepositionen C (siehe Fig. 16) von der ersten Ausführungsform sein.

Ebenfalls ist, da keine Schneideoperation durchgeführt wird, nachdem der kappenbildende Siliziumwafer 45 kontaktiert worden ist, das Verfahren gemäß dieser Ausführungsform auch dann effektiv bzw. wirkungsvoll, wenn, wie in Fig. 33 veranschaulicht, kein Fuß auf der Kappe ausgebildet ist.

Als ein angewendetes Beispiel für diese Ausführungsform ist es möglich, anstelle des Trägerwafers 46 eine Waferschneidefolie zu verwenden, die aus einer dünnen Schicht auf der Basis von Polyimid besteht und Klebefähigkeit bzw. Haftfähigkeit verliehen bekommen hat.

Obwohl bei den ersten und zweiten Ausführungsformen der Siliziumkontaktierungsrahmen auf der Sensorwaferseite unter Verwendung einer Polysiliziumschicht oder einer amorphen Siliziumschicht ausgebildet wurde, gibt es Fälle, wo ein Sensorbereich in einer zusammengesetzten Waferstruktur gebildet wird, die unter Verwendung einer Waferkontaktierungstechnik, wie in Fig. 34 veranschaulicht, hergestellt worden ist. Das heißt, ein Trägersubstrat 102 und ein Substrat 104 werden auf einer Seite, in der eine Sensorstruktur ausgebildet werden soll, direkt miteinander durch die Vermittlung einer Oxidschicht 103 verbunden bzw. kontaktiert. Danach wird Mikrobearbeitung in Bezug auf das Substrat 104 (SOI-Schicht) durchgeführt, um dadurch eine schwebende Mikrostruktur von Balken 104a zu bilden. Danach werden die erforderlichen Verdrahtungsstrukturen ausgebildet, und ein Kappenwafer wird mit der resultierenden zusammengesetzten Waferstruktur verbunden bzw. kontaktiert, woraufhin Waferschneiden durchgeführt wird. Man beachte hier, daß das Bezugszeichen 101 eine rückseitige Elektrode, die auf der Rückseite des Substrats ausgebildet ist, bezeichnet. In diesem Fall wird der Sensorbetrieb des Sensors dadurch durchgeführt, daß man die Fluktuationen in den elektrostatischen Kapazitäten zwischen den Balken 104a über bzw. mittels einer auf dem Substrat 104 ausgebildeten Diffusionsschicht 105 detektiert. In diesem Fall, obwohl der Siliziumkontaktierungsrahmen auf der Sensorwaferseite aus einem Siliziumsubstrat (Einkristall) gemacht ist, ist es in diesem Fall ebenfalls möglich, den Kappenwafer damit zu verbinden bzw. zu kontaktieren, wie in dem Fall des Kontaktierungsrahmens, der aus Polysilizium oder amorphen Silizium gemacht ist.

Die vorliegende Erfindung ist nicht auf die oben erwähnten Ausführungsformen beschränkt, sondern kann ebenfalls auf die folgenden Arten ausgeführt bzw. verkörpert werden.

Als das Material des kappenbildenden Wafers kann man Glas, Keramik, Kunstharz, etc., zusätzlich zu Silizium verwenden. Weiterhin kann jedes Material verwendet werden, solange es nur der eutektischen Kontaktierungstemperatur des Systems Au-Si widerstehen kann

und kein Problem mit dem Element-Kontaminations-Versiegelungseigenschaften mit sich bringt. Zu diesem Zeitpunkt besteht die Notwendigkeit, eine Auswahl zu treffen, indem man die Kosten und seine Beständigkeit gegen Umwelteinflüsse in Betracht zieht. Wenn es wünschenswert ist, die Kappe durchsichtig zu machen, ist die Verwendung eines synthetischen Quarzglases angebracht bzw. geeignet.

Die vorliegende Erfindung kann ebenfalls nicht nur als ein Halbleiterbeschleunigungssensor verkörpert bzw. ausgelegt werden, sondern ebenfalls als eine Halbleitervorrichtung wie zum Beispiel einem Mikromembransensor mit einem beweglichen Teilbereich (Vibrationsteilbereich) auf dem Siliziumchip oder als eine Vorrichtung mit einem Kontaktstück oder dergleichen.

Wie ausführlich beschrieben worden ist, besitzt die vorliegende Erfindung den ausgezeichneten Vorteil, eine einfache Herstellung einer Halbleitervorrichtung mit einer Schutzkappe zu ermöglichen.

Zusammenfassend sei gesagt, daß gemäß der vorliegenden Erfindung auf einem Siliziumwafer 32 ein MOS-Transistor mit beweglichem Gate ausgebildet wird (Sensorelement: Funktionselement). Ein Kontaktierungsrahmen 21, der aus einer dünnen Siliziumschicht besteht, wird um einen Elementbildungsbereich herum auf der Oberfläche des Siliziumwafers 32 mittels Musterrung ausgebildet. Auf einem kappenbildenden Siliziumwafer 33 wird ein hervorstehender Fußbereich 23 bereitgestellt, auf dessen unterer Oberfläche eine Kontaktierungsschicht 24 ausgebildet wird, die aus einer Goldschicht besteht. Der kappenbildende Siliziumwafer 33 wird auf dem Siliziumwafer 32 angebracht, woraufhin in Bezug auf diese eine Erwärmung auf eine Temperatur, die gleich oder höher als eine eutektische Temperatur eines Gold/Silizium-Systems ist, durchgeführt wird, um dadurch eine feste Verbindung zwischen dem Kontaktierungsrahmen 21 des Siliziumwafers 32 und der Kontaktierungsschicht 24 des kappenbildenden Siliziumwafers 33 herzustellen. Danach werden beide Wafer 32 und 33 mittels Waferschneiden in Chipeinheiten zerlegt.

Obwohl die vorliegende Erfindung unter Bezug auf die vorhergehenden bevorzugten Ausführungsformen gezeigt und beschrieben worden ist, ist es für den Fachmann offensichtlich, daß Änderungen in Form und Detail gemacht werden können, ohne von dem Anwendungsbereich der Erfindung, wie er in den beigefügten Ansprüchen definiert ist, abzuweichen.

#### Patentansprüche

1. Verfahren zum Herstellen einer Halbleitervorrichtung, die einen Halbleiterwafer (1) mit einem auf einer seiner Oberflächen ausgebildeten Funktionselement (6) und eine Kappe (22), die das Funktionselement einschließt, aufweist, wobei ein räumlicher Bereich in Bezug auf dieses Funktionselement auf der Oberfläche des Halbleiterwafers bereitgestellt ist, mit:  
einem Funktionselementbildungsschritt des Ausbildens einer Vielzahl von Funktionselementen auf dem Halbleiterwafer (1) zur Bildung des Funktionselementes (6) und des Ausbildens von Kontaktierungsflecken (19) zur Durchführung einer Anschlußverdrahtung zwischen jedem Funktionselement und der Außenseite, zwischen dem Funktionselement und einer vorbestimmten Position auf dem Halbleiterwafer (1), bei der dieser Halbleiterwafer (1) geteilt werden soll;

einem Kontaktierungsrahmenbildungsschritt des Ausbildens eines Kontaktierungsrahmens (21), der jedes Funktionselement in einem Bereich um jedes Funktionselement herum auf der Oberfläche des Halbleiterwafers (1) und auf einer Seite näher zu dem Funktionselement als zu dem Kontaktierungsfleck (19) umgibt;

einem Kontaktierungsschritt des Verbindens mittels Kontaktierung eines kappenbildenden Wafers (22), der einen Fußbereich (23) bei einer Position aufweist, die dem Kontaktierungsrahmen (21) entspricht, auf dem Halbleiterwafer (1), indem eine feste Verbindung zwischen dem Fußbereich (23) und dem Kontaktierungsrahmen (21) hergestellt wird;

und  
einem Schneideschritt des Zerschneidens des Halbleiterwafers bei seiner vorbestimmten Position (35), bei der dieser Halbleiterwafer geteilt werden soll, und ebenfalls des Zerschneidens des kappenbildenden Wafers bei einer Schneideposition (34) auf einer Seite näher zu dem Kontaktierungsrahmen (21) als zu der Position des kappenbildenden Wafers, die dem Kontaktierungsfleck (19) gegenüberliegt.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Schneideschritt gleichzeitig die vorbestimmte Position (35) des Halbleiterwafers, bei der dieser Halbleiterwafer geteilt werden soll, und die Position (35) des kappenbildenden Wafers, die der vorbestimmten Position des Halbleiterwafers gegenüberliegt, zerschneiden soll; und danach die Schneideposition (34) des kappenbildenden Wafers zerschneiden soll.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Schneideschritt die Schneideposition (34) des kappenbildenden Wafers zerschneiden soll; und danach die vorbestimmte Position (35) des Halbleiterwafers, bei der dieser Halbleiterwafer geteilt werden soll, zerschneiden soll.

4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Kontaktierungsrahmen (21) aus einem Material besteht, das Silizium (Si) enthält; und das des weiteren dadurch gekennzeichnet ist, daß es einen Kontaktierungsschichtbildungsschritt des Ausbildens einer Kontaktierungsschicht, die aus einem Material besteht, das Gold (Au) enthält, auf dem Fußbereich aufweist; und dadurch gekennzeichnet, daß der Kontaktierungsschritt auf eine Temperatur höher als eine eutektische Temperatur eines Gold(Au)/Silizium(Si)-Systems in einem Zustand, in dem der Kontaktierungsrahmen (21) des Halbleiterwafers und der kappenbildende Wafer (22) miteinander in Kontakt sind, aufheizen soll, um dadurch den Kontaktierungsrahmen (21) des Halbleiterwafers und die Kontaktierungsschicht (24) des kappenbildenden Wafers mittels Kontaktierung zu verbinden.

5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß es des weiteren einen Schritt des Anbringens einer Goldschicht (Au), die die Kontaktierungsschicht wird, auf der inneren Oberfläche der Kappe als einer elektromagnetischen Abschirmschicht aufweist.

6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das Funktionselement eine bewegliche Gate-Elektrode mit einer Brückenbalkenstruktur, wobei die bewegliche Gate-Elektrode aus einer dünnen Siliziumschicht besteht, und eine fixierte Source-

Elektrode und fixierte Drain-Elektrode, die in dem Halbleiterwafer ausgebildet sind, aufweist; und daß die bewegliche Gate-Elektrode und der Kontaktierungsrahmen gleichzeitig ausgebildet werden.

7. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß eine dünne Schicht, die in der Lage ist, ein eutektisches Material bei einer Temperatur auszubilden, die niedriger ist als eine eutektische Temperatur eines Gold(Au)/Silizium(Si)-Systems, auf der Oberfläche der Kontaktierungsschicht des kappenbildenden Wafers angebracht wird; und daß der Kontaktierungsschritt den Kontaktierungsrahmen (21) des Halbleiterwafers und die Kontaktierungsschicht (24) des kappenbildenden Wafers durch die Vermittlung dieser dünnen Schicht mittels Kontaktierung verbinden soll.

8. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß der Kontaktierungsrahmenbildungsschritt einen Schritt des nacheinander Ausbildens einer Metallschicht (53), die in der Lage ist, eine Siliziumoxidschicht zu reduzieren, und einer Anti-Oxidationsschicht, die in der Lage ist, eine Oxidation der Metallschicht zu verhindern, auf der Oberfläche der Kontaktierungsschicht (24) des kappenbildenden Wafers (22) aufweist; und daß der Kontaktierungsschritt den Kontaktierungsrahmen (21) des Halbleiterwafers und die Kontaktierungsschicht (24) des kappenbildenden Wafers mit der dazwischen befindlichen Metallschicht und Anti-Oxidationsschicht mittels Kontaktierung verbinden soll.

9. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß es die folgenden Schritte aufweist:

Verbinden des kappenbildenden Wafers mit einem Waferunterstützungsteil;  
Durchführen von Schnitten zur Aufteilung des kappenbildenden Wafers in gekapselte Chipeinheiten;  
Verbinden des kappenbildenden Wafers und des Halbleiterwafers mittels Kontaktierung; und danach

Separieren des Waferunterstützungsteils von dem kappenbildenden Wafer, um dadurch nicht-benötigte Bereiche des kappenbildenden Wafers zu entfernen.

10. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Kontaktierungsschritt in einer Vakuumatmosphäre oder einer Inertgasatmosphäre oder unter einem vorbestimmten Druckniveau durchgeführt wird, um dadurch zu bewirken, daß das Innere der Kappe eine Vakuumatmosphäre oder eine Inertgasatmosphäre oder ein vorbestimmtes Druckniveau aufweist.

11. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das Zerschneiden des Halbleiterwafers (1) bei der vorbestimmten Position (35), wo dieser Halbleiterwafer (1) geteilt werden soll, und das Zerschneiden (34) des kappenbildenden Wafers (22) beidmal mit einem Schneidwerkzeug durchgeführt wird, das von einer Seite des kappenbildenden Wafers (22) daran angelegt wird.

12. Verfahren zum Herstellen einer Halbleitervorrichtung, die einen Halbleiterwafer (1) mit einem auf einer seiner Oberflächen ausgebildeten Funk-

tionselement (6) und eine Kappe (22), die das Funktionselement einschließt, aufweist, wobei ein räumlicher Bereich in Bezug auf dieses Funktionselement auf der Oberfläche des Halbleiterwafers bereitgestellt ist, mit:

einem Funktionselementbildungsschritt des Ausbildens einer Vielzahl von Funktionselementen auf dem Halbleiterwafer (1) zur Bildung des Funktionselementes (6);

einen Kontaktierungsrahmenbildungsschritt des Ausbildens eines Kontaktierungsrahmens (21) in einem Bereich, der jedes Funktionselement auf der Oberfläche des Halbleiterwafers (1) umgibt, und auf einer Seite, die um eine vorbestimmte Entfernung näher zu dem Funktionselement ist als zu der vorbestimmten Position des Halbleiterwafers (1), bei der dieser Halbleiterwafer (1) geteilt werden soll;

einem Kontaktierungsschritt des Verbindens mittels Kontaktierung eines kappenbildenden Wafers (22), der einen Fußbereich (23) bei einer Position aufweist, die dem Muster des Kontaktierungsrahmens (21) entspricht, auf dem Halbleiterwafer (1), indem eine feste Verbindung zwischen dem Fußbereich (23) und dem Kontaktierungsrahmen (21) hergestellt wird; und

einem Schneideschritt des Zerschneidens des Halbleiterwafers bei seiner vorbestimmten Position (35), bei der dieser Halbleiterwafer geteilt werden soll, und ebenfalls des Zerschneidens des kappenbildenden Wafers bei einer Schneideposition (34) auf einer Seite näher zu dem Kontaktierungsrahmen (21) als zu der Position des kappenbildenden Wafers, die der vorbestimmten Position des Halbleiterwafers, bei der dieser Halbleiterwafer geteilt werden soll, gegenüber liegt.

13. Verfahren zum Herstellen einer Halbleitervorrichtung, die einen Halbleiterwafer (1) mit einem auf einer seiner Oberflächen ausgebildeten Funktionselement (6) und eine Kappe (22), die das Funktionselement einschließt, aufweist, wobei ein räumlicher Bereich in Bezug auf dieses Funktionselement auf der Oberfläche des Halbleiterwafers bereitgestellt ist, mit:

einem ersten Schritt des Ausbildens mittels Mustern eines Kontaktierungsrahmens (21), der aus einer dünnen Siliziumschicht besteht, um ein Gebiet zur Ausbildung des Funktionselementes (6) herum auf einer Oberfläche des Halbleiterwafers (1) zur Ausbildung des Funktionselementes und des Ausbildens mittels Mustern einer Kontaktierungsschicht (24), die aus einer Goldschicht (Au) besteht, bei einer Position des kappenbildenden Wafers, die dem Kontaktierungsrahmenmuster entspricht;

einem zweiten Schritt des Aufheizens auf eine Temperatur höher als eine eutektische Temperatur eines Gold/Silizium-Systems in einem Zustand, in dem der Kontaktierungsrahmen des Halbleiterwafers und die Kontaktierungsschicht des kappenbildenden Wafers miteinander in Kontakt sind, um dadurch den Kontaktierungsrahmen des Halbleiterwafers und die Kontaktierungsschicht des kappenbildenden Wafers mittels Kontaktierung zu verbinden; und

einem dritten Schritt des Waferschneidens des Halbleiterwafers in Chipeinheiten.

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet,

daß die Kappe einen Fußbereich bei einer Position aufweist, die einem Bereich entspricht, der den Funktionselementbildungsbereich umgibt; und daß in dem zweiten Verfahrensschritt die Kontaktierungsschicht bei einer Oberfläche am vorderen Ende des Fußbereichs des kappenbildenden Wafers ausgebildet wird.

15. Verfahren nach Anspruch 13, dadurch gekennzeichnet, daß es des weiteren einen Schritt des Anbringens der Goldschicht, die die Kontaktierungsschicht wird, auf einer inneren Oberfläche der Kappe als eine elektromagnetische Abschirmschicht aufweist.

16. Verfahren nach einem der Ansprüche 13, 14 oder 15, dadurch gekennzeichnet, daß das Funktionselement eine Brückenbalkenstruktur einer beweglichen Gate-Elektrode, die aus einer dünnen Siliziumschicht besteht, eine fixierte Source-Elektrode und eine fixierte Drain-Elektrode aufweist; und dadurch gekennzeichnet, daß es des weiteren einen Schritt des Ausbildens des Kontaktierungsrahmens gleichzeitig mit der Ausbildung der beweglichen Gate-Elektrode aufweist.

17. Verfahren nach einem der Ansprüche 13 bis 16, dadurch gekennzeichnet, daß eine dünne Schicht, die in der Lage ist, ein eutektisches Material bei einer Temperatur auszubilden, die niedriger ist als eine eutektische Temperatur eines Gold/Silizium-Systems, auf der Oberfläche der Kontaktierungsschicht des kappenbildenden Wafers angebracht wird; und dadurch gekennzeichnet, daß der zweite Verfahrensschritt einen Schritt des Verbindens mittels Kontaktierung des Kontaktierungsrahmens des Halbleiterwafers und der Kontaktierungsschicht des kappenbildenden Wafers durch die Vermittlung dieser dünnen Schicht aufweist.

18. Verfahren nach einem der Ansprüche 13 bis 16, dadurch gekennzeichnet, daß der zweite Verfahrensschritt einen Schritt des Bereitstellens einer Anti-Diffusions-Metallschicht zwischen dem kappenbildenden Wafer, der aus Silizium besteht, und der Kontaktierungsschicht und danach einen Schritt des Herstellens einer festen Verbindung zwischen dem Kontaktierungsrahmens des Halbleiterwafers und der Kontaktierungsschicht des kappenbildenden Wafers aufweist.

19. Verfahren nach einem der Ansprüche 13 bis 18, dadurch gekennzeichnet, daß es des weiteren die folgenden Schritte aufweist:

Verbinden des kappenbildenden Wafers mit einem Waferunterstützungsteil;

Durchführen von Schnitten zur Aufteilung des kappenbildenden Wafers in gekapselte Chipeinheiten;

Verbinden des kappenbildenden Wafers und des Halbleiterwafers mittels Kontaktierung; und danach

Separieren des Waferunterstützungsteils von dem kappenbildenden Wafer, um dadurch nicht-benötigte Bereiche des kappenbildenden Wafers zu entfernen.

20. Verfahren nach einem der Ansprüche 13 bis 19, dadurch gekennzeichnet, daß das Verbinden der Wafer mittels Kontaktierung in dem zweiten Verfahrensschritt in einer Vakuumatmosphäre oder einer Inertgasatmosphäre oder unter einem vorbe-

stimmten Druckniveau durchgeführt wird, um dadurch zu bewirken, daß das Innere der Kappe eine Vakuumatmosphäre oder eine Inertgasatmosphäre oder ein vorbestimmtes Druckniveau aufweist.

Hierzu 15 Seite(n) Zeichnungen



- Leerseite -

FIG. 1 \*

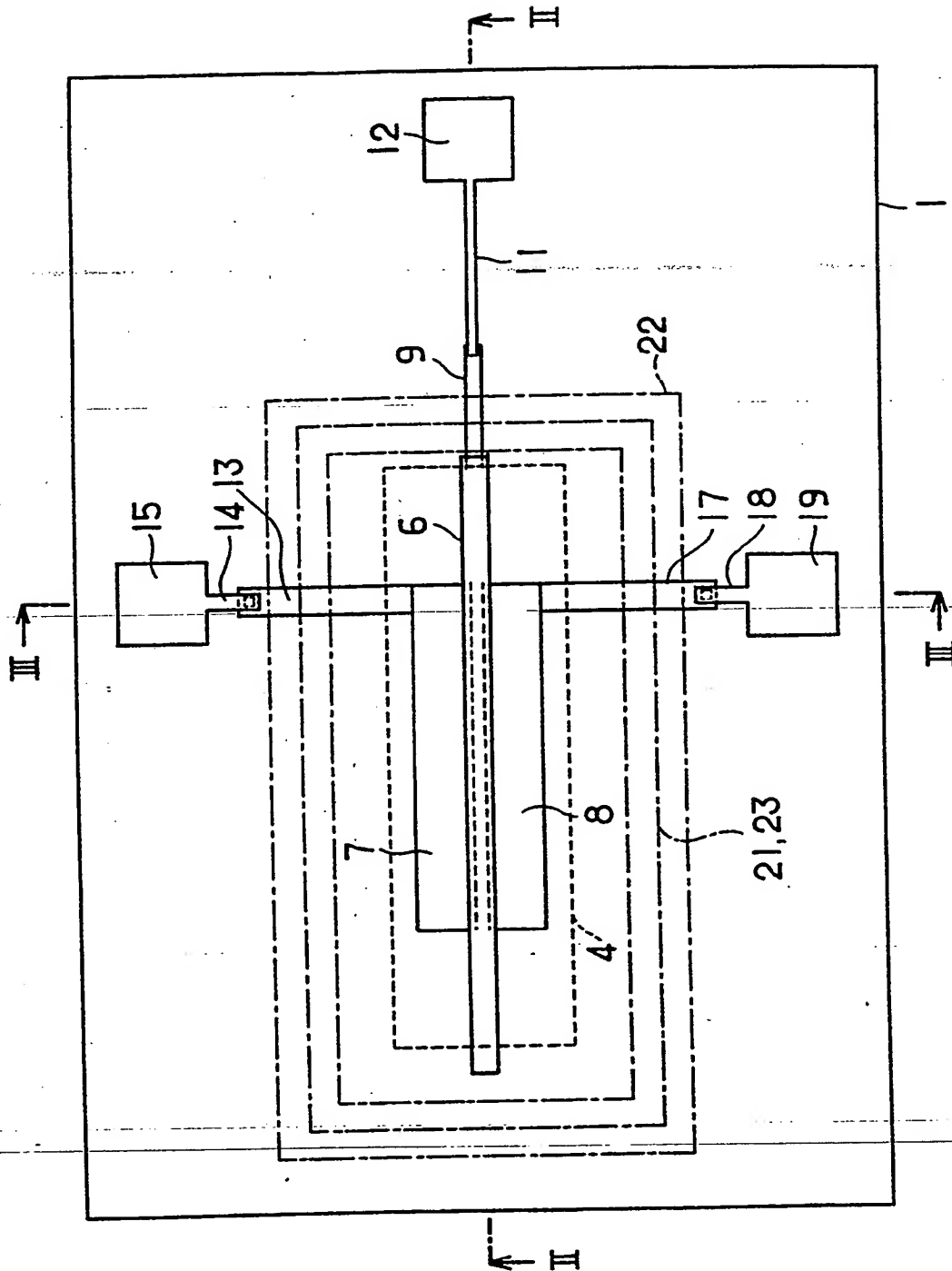


FIG. 2

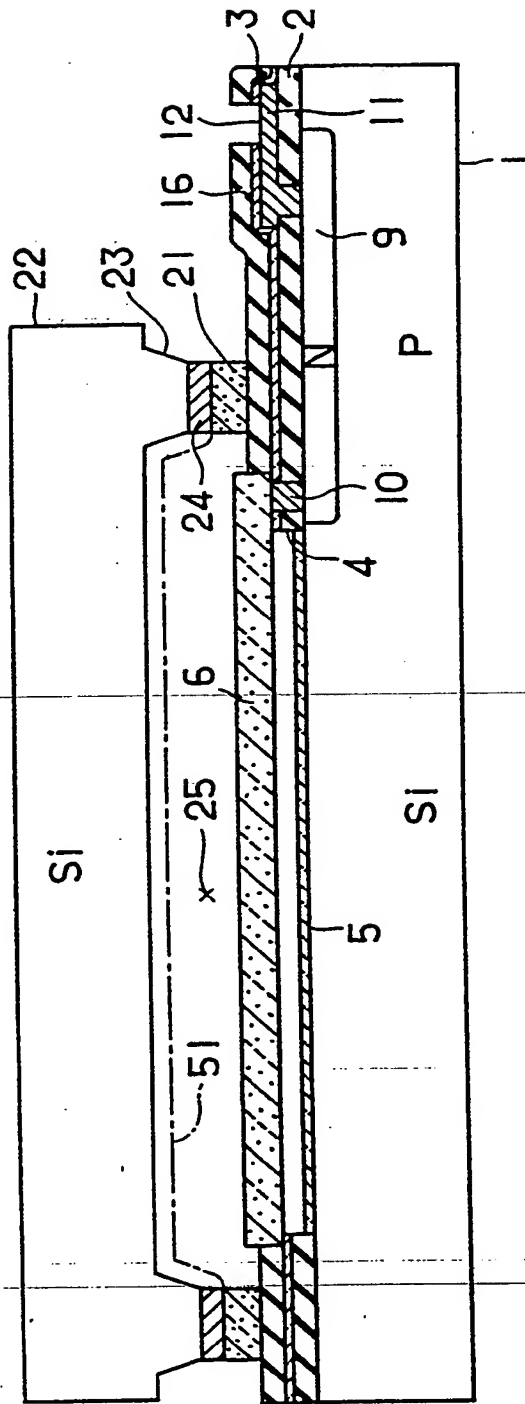


FIG. 3

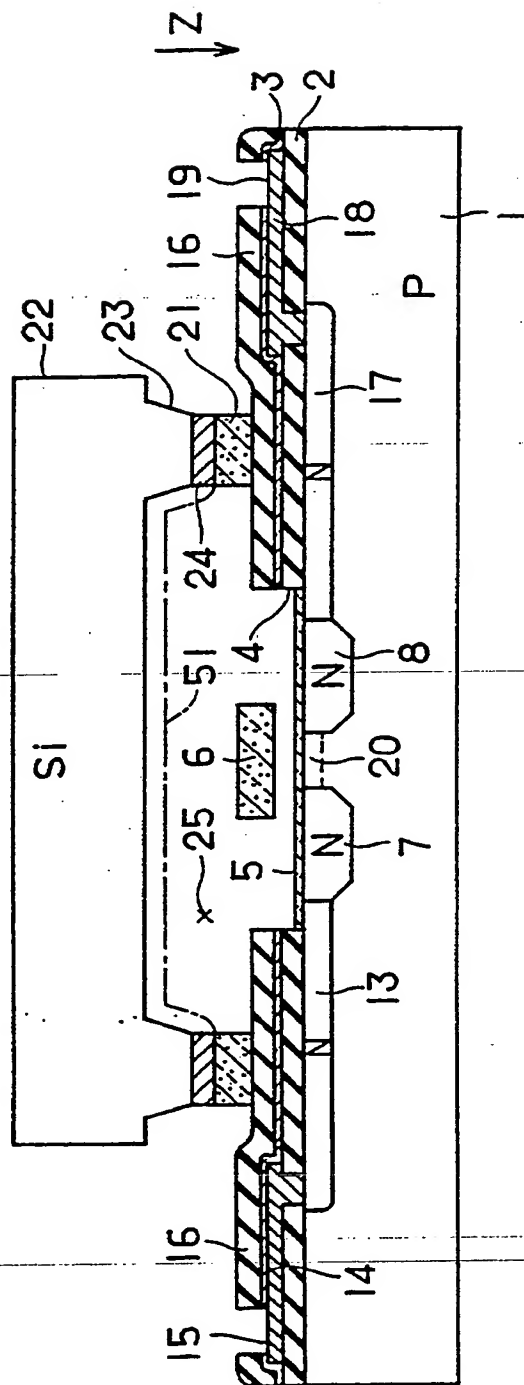


FIG. 4

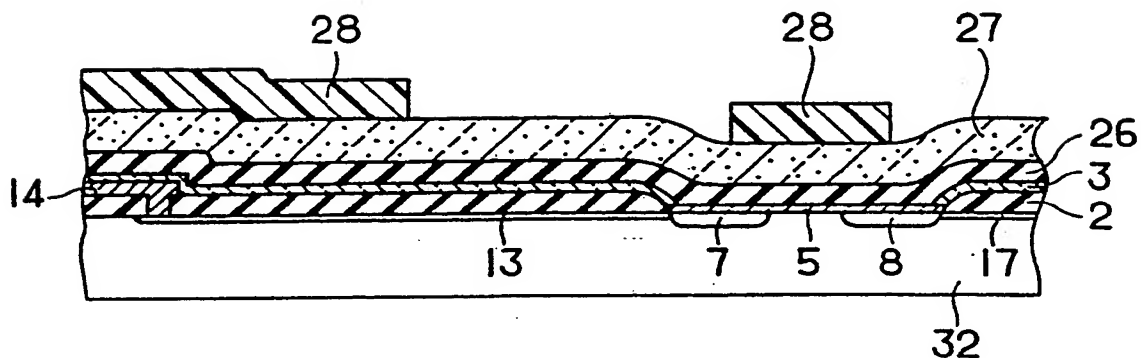


FIG. 5

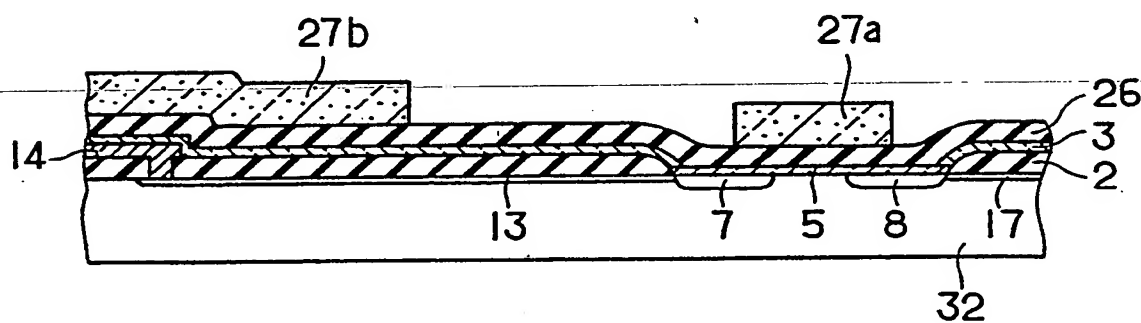


FIG. 6

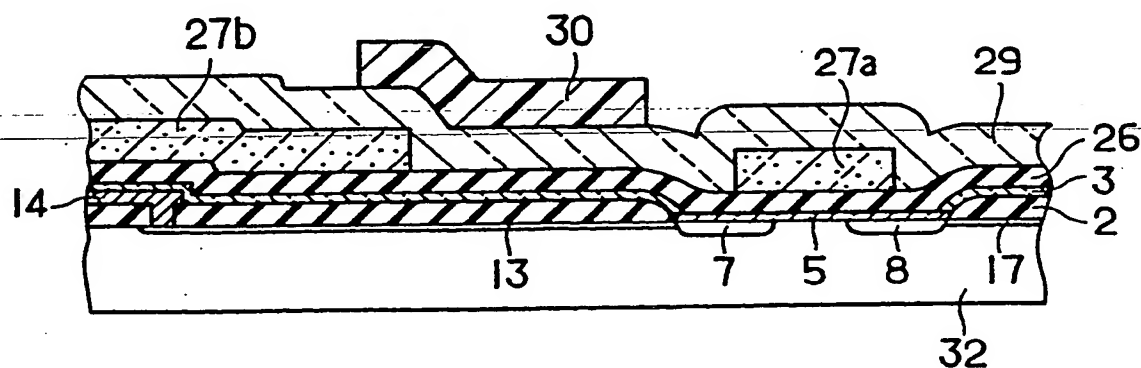




FIG. 7

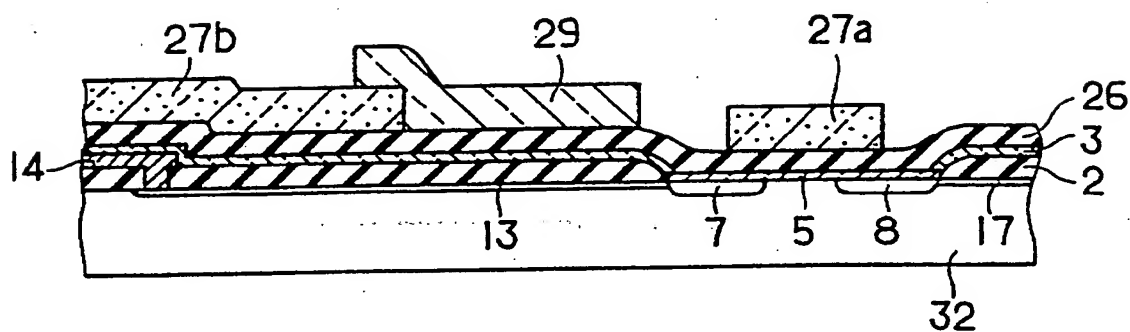


FIG. 8

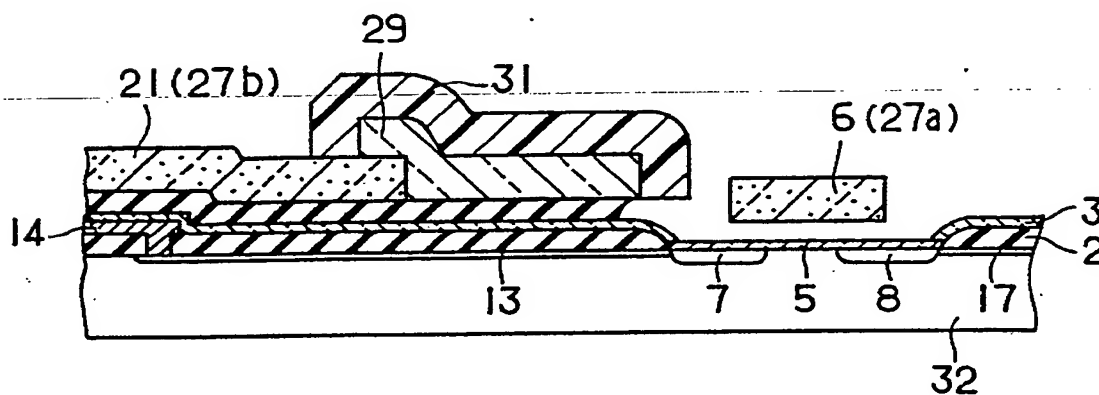


FIG. 9

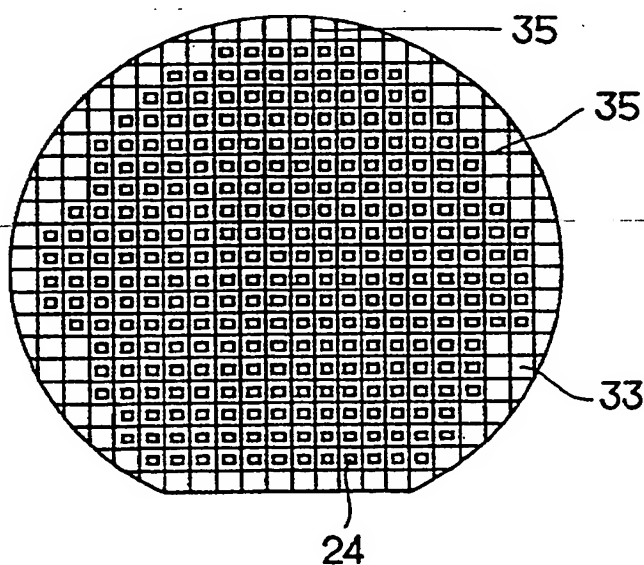


FIG. 10



FIG. 11

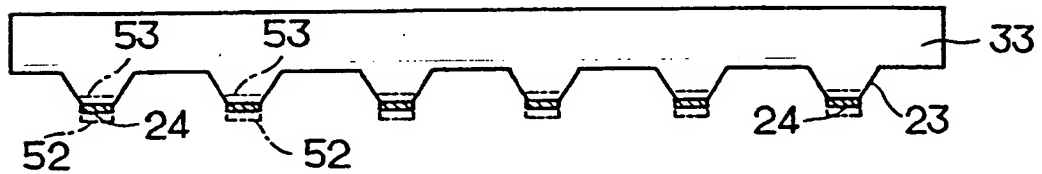


FIG. 12

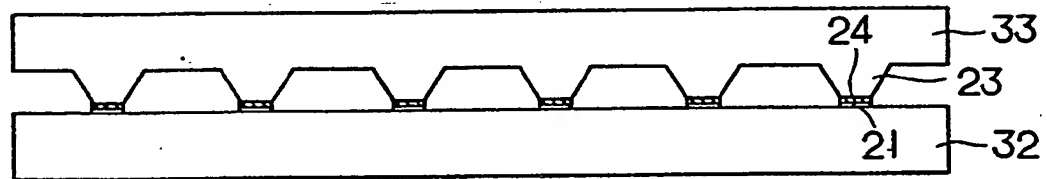


FIG. 14

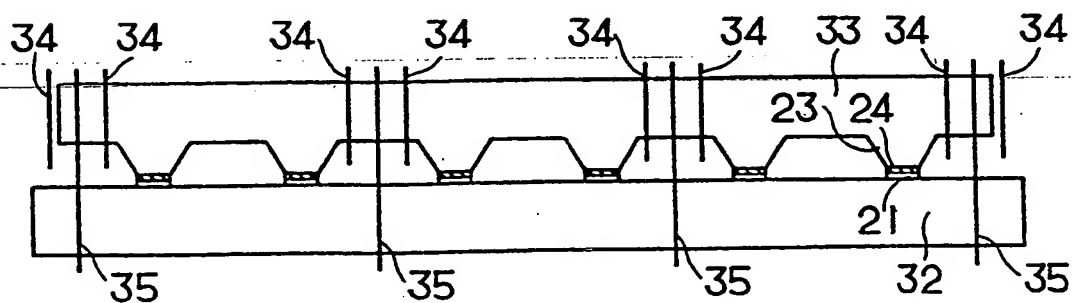


FIG. 13

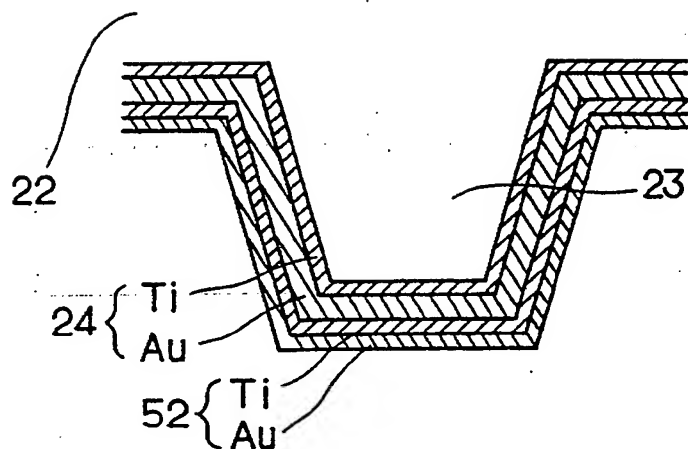
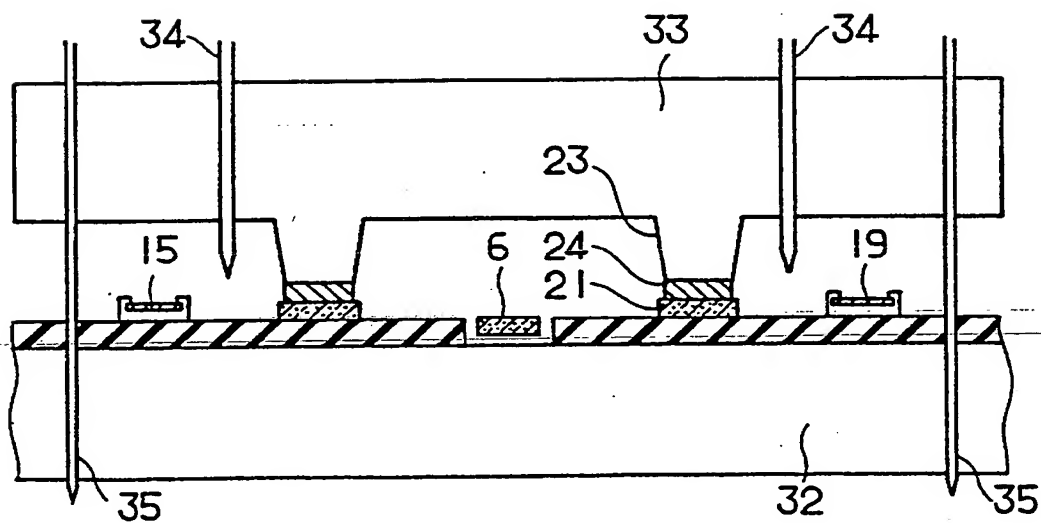


FIG. 19



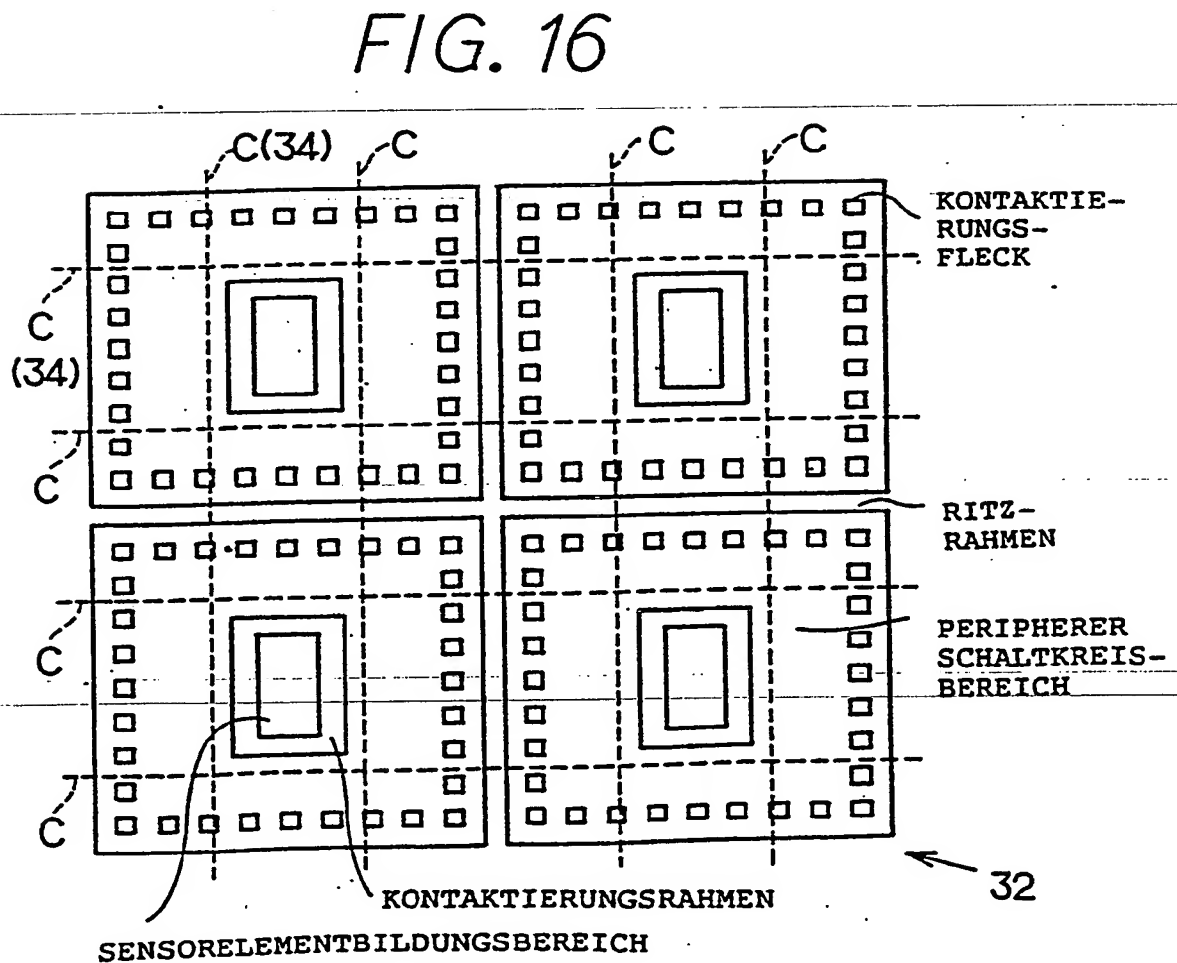
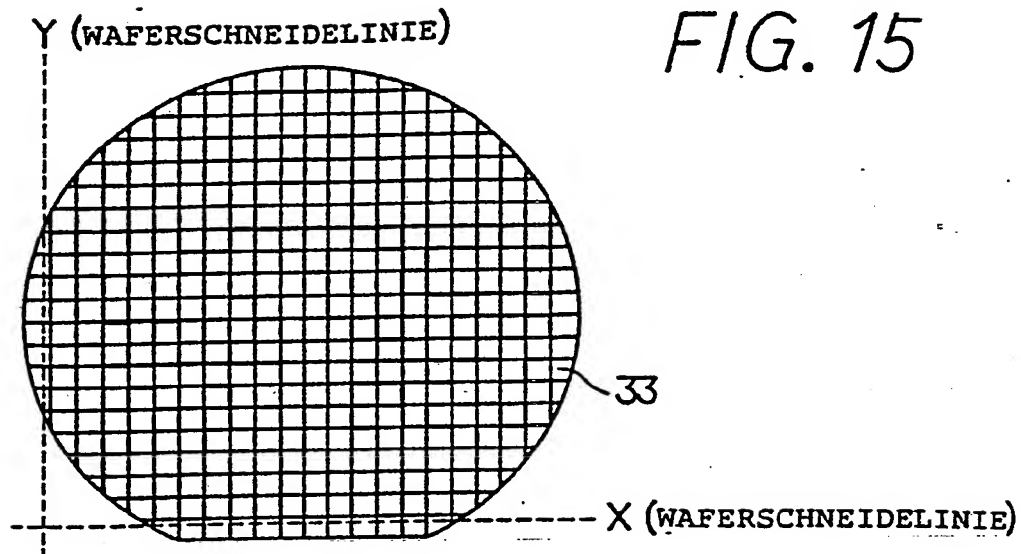


FIG. 17

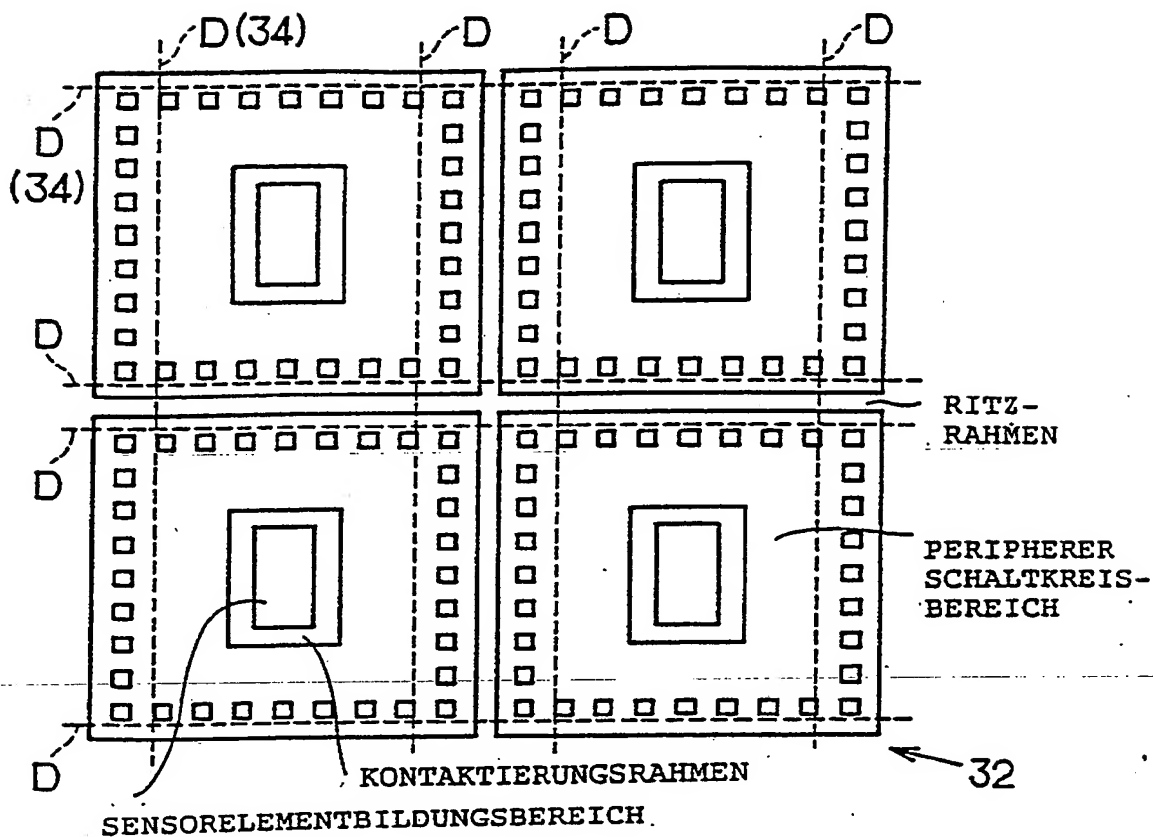


FIG. 18

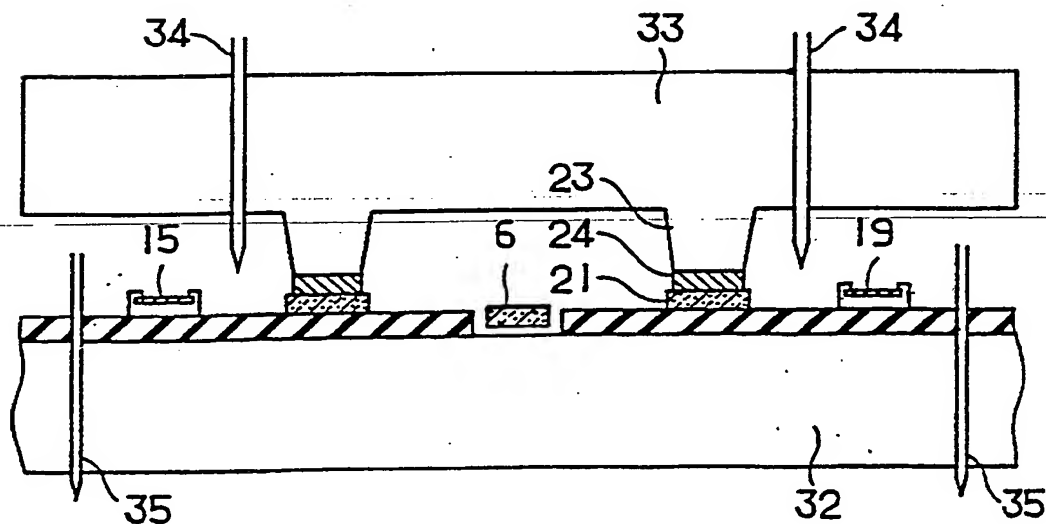
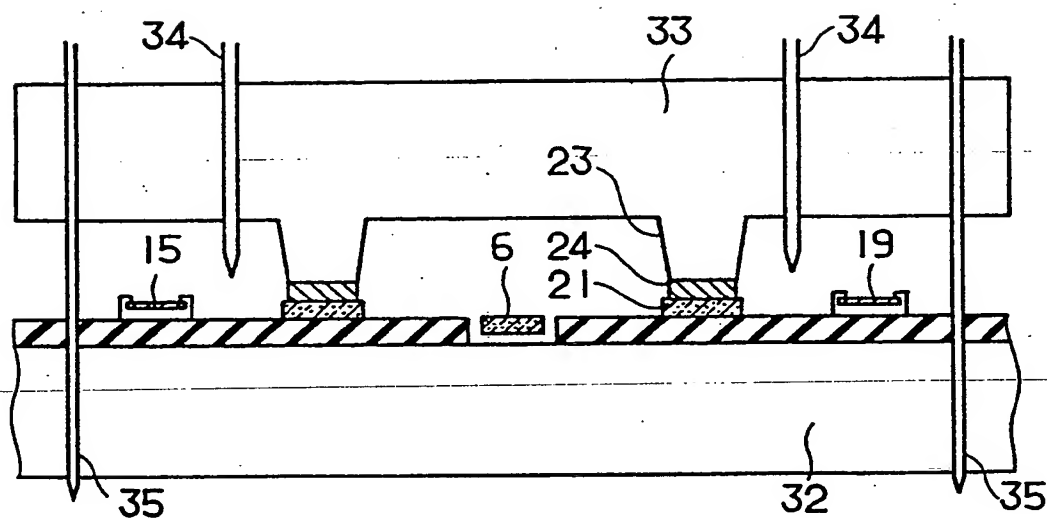




FIG. 19



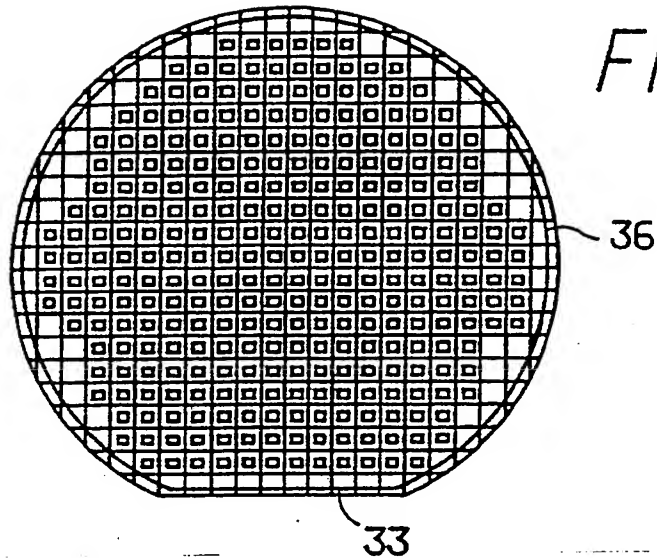


FIG. 20

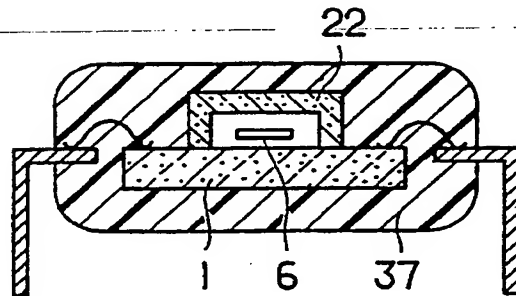


FIG. 21

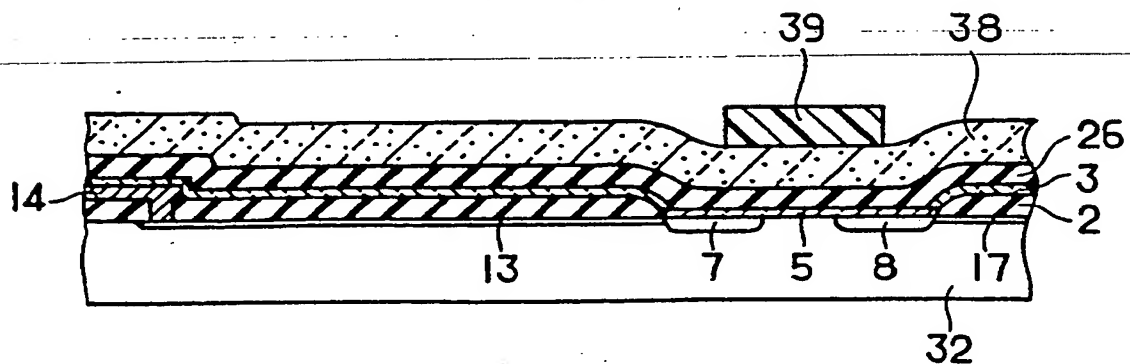


FIG. 22

FIG. 23

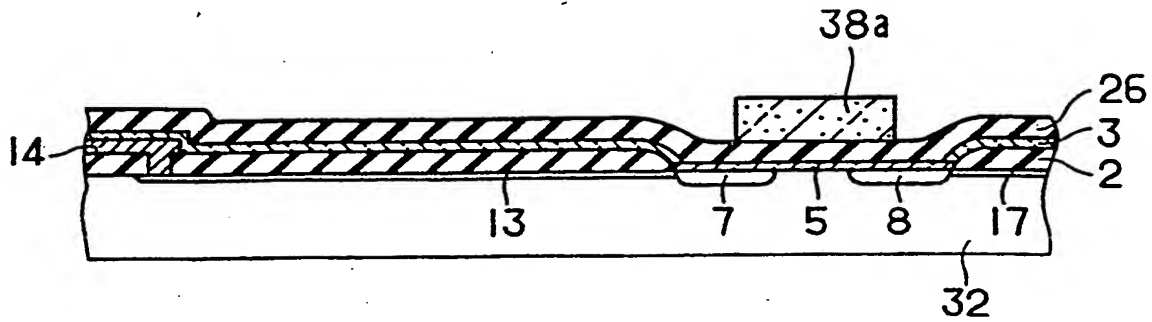


FIG. 24

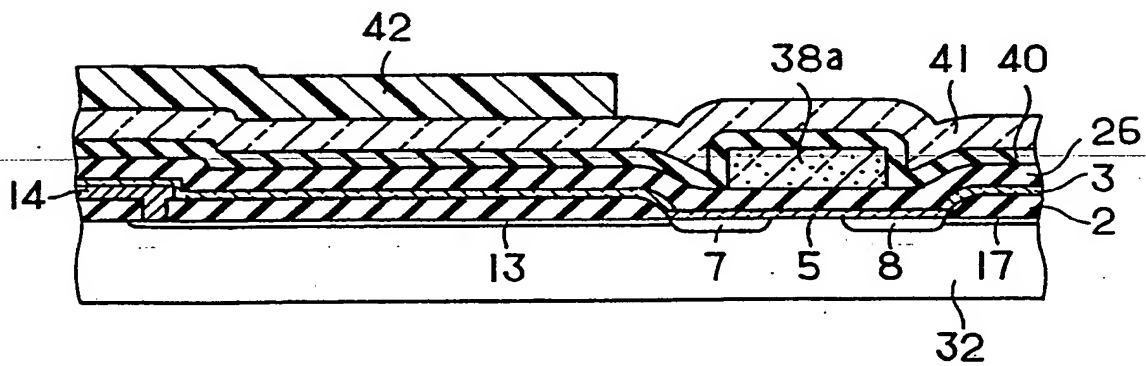


FIG. 25

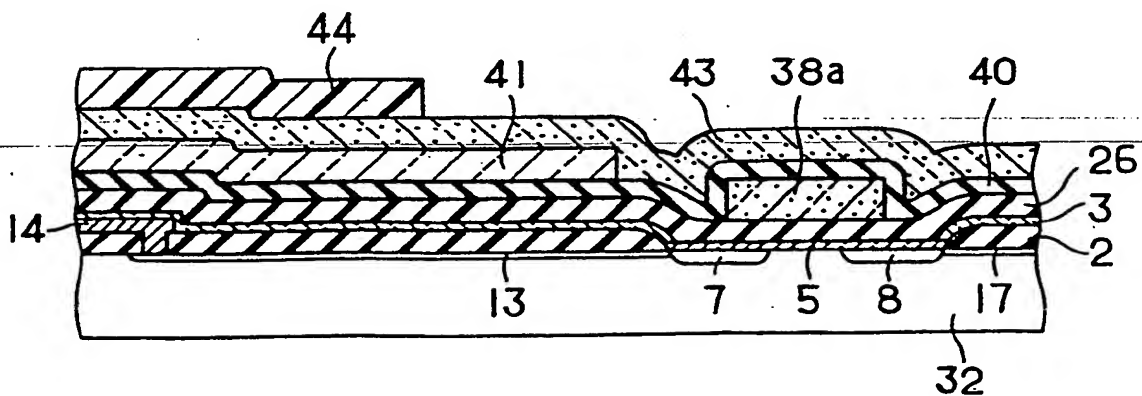


FIG. 26

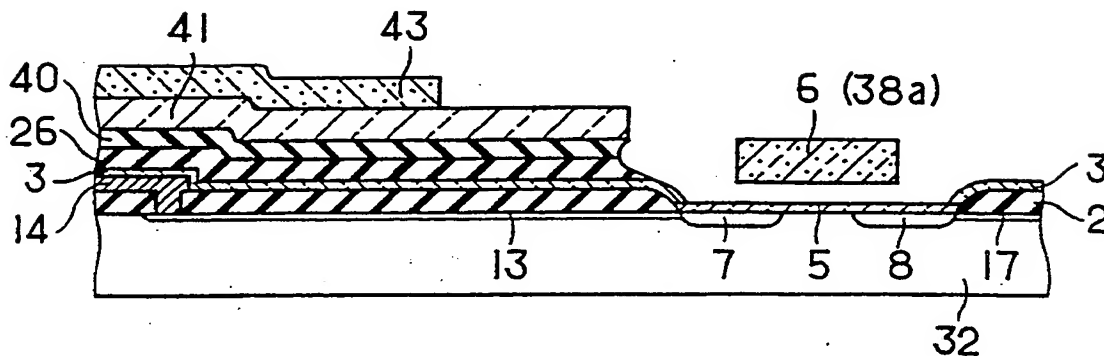


FIG. 27



FIG. 28



FIG. 29

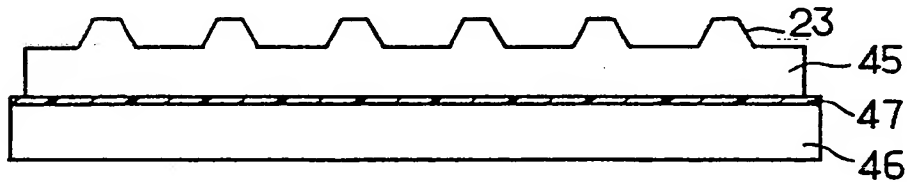


FIG. 30

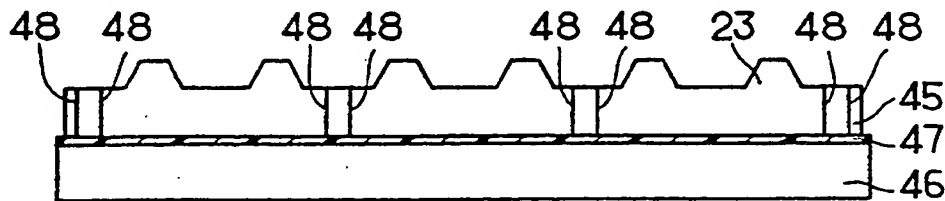


FIG. 31

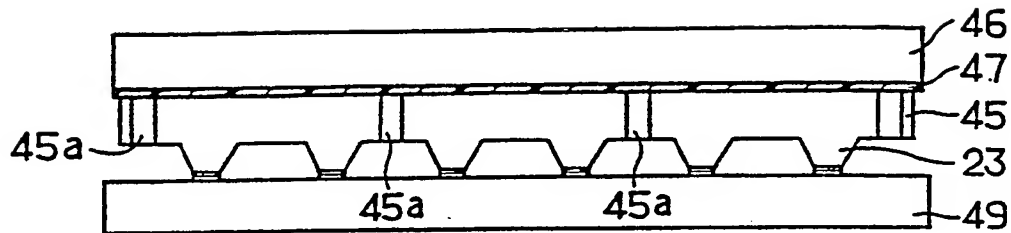


FIG. 32

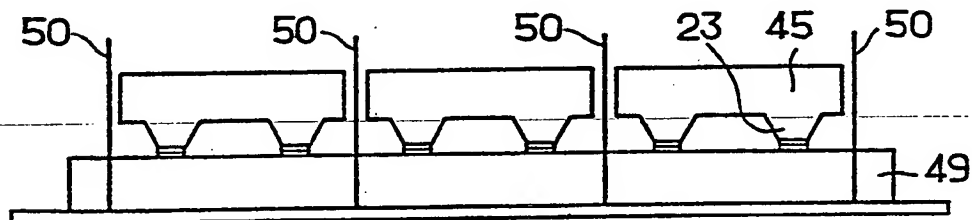


FIG. 33

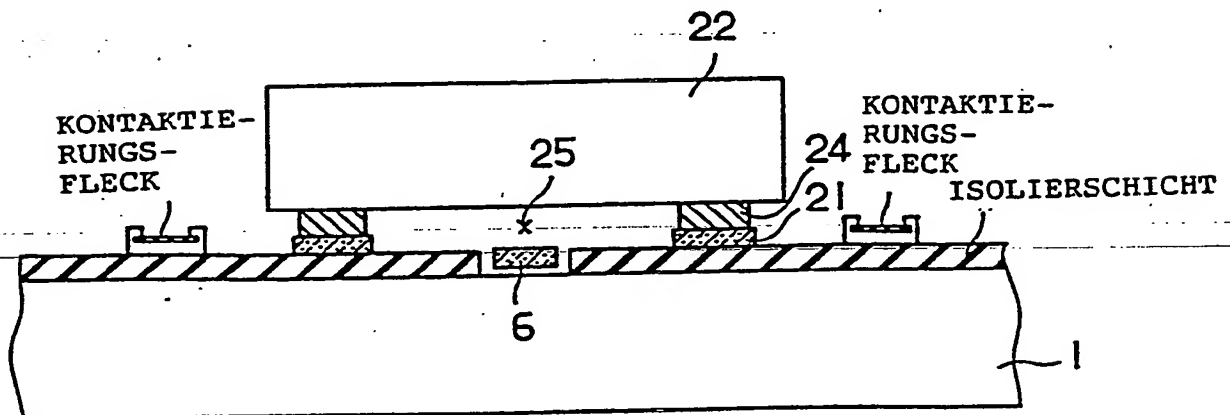
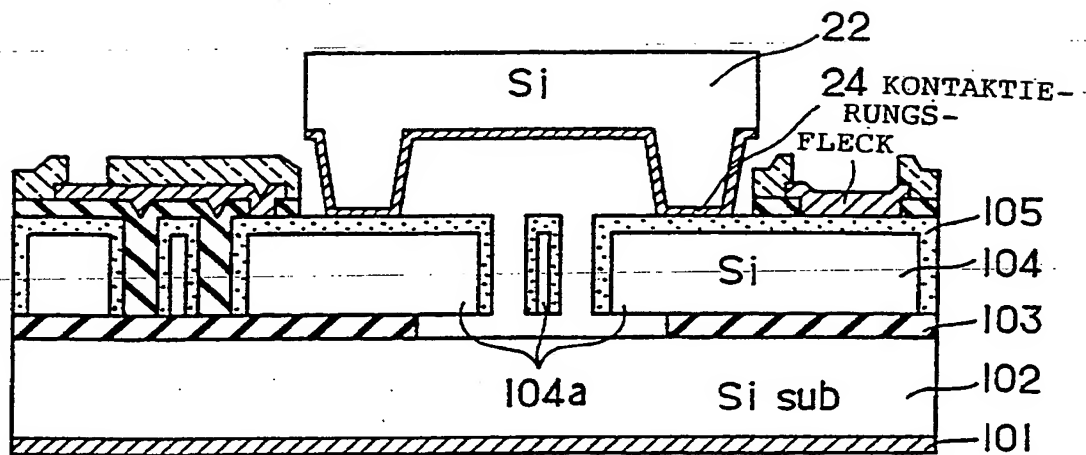




FIG. 34



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**